

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kentaro NAKAJIMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETIC MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-200413

MONTH/DAY/YEAR

July 23, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

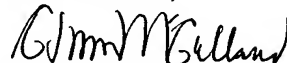
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 2 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 0 0 4 1 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 0 0 4 1 3]

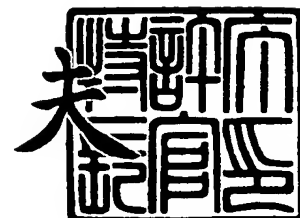
出 願 人 株式会社東芝
Applicant(s):



2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000202438

【提出日】 平成15年 7月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 磁気メモリ装置および磁気メモリ装置の製造方法

【請求項の数】 26

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 中島 健太郎

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

 【氏名】 天野 実

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

 【氏名】 上田 知正

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

 【氏名】 高橋 茂樹

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気メモリ装置および磁気メモリ装置の製造方法

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成された配線層とを有し、

前記配線層は、下部電極と、前記下部電極の上に配置され、絶縁バリア層を含んで構成された磁気抵抗効果素子と、前記磁気抵抗効果素子の上に積層された少なくとも一つのコンタクト層と、前記コンタクト層に接続された上部配線とを含み、前記絶縁バリア層を含む磁気抵抗効果素子の側面がその底面に対してなすテーパ角度が約 60 度以下であることを特徴とする磁気メモリ装置。

【請求項 2】 前記コンタクト層と磁気抵抗効果素子とは自己整合関係をもって形成されていることを特徴とする請求項 1 に記載の磁気メモリ装置。

【請求項 3】 前記下部電極上の前記磁気抵抗効果素子に隣接する位置に形成されたマスクを有することを特徴とする請求項 1 に記載の磁気メモリ装置。

【請求項 4】 前記コンタクト層は前記磁気抵抗効果素子のテーパ角度より大きいテーパ角度を有することを特徴とする請求項 1 に記載の磁気メモリ装置。

【請求項 5】 前記磁気抵抗効果素子はエッチング用のイオンビームに対して略同じエッチングレートを有する絶縁バリア層およびこの絶縁バリア層の両側に形成された少なくとも 2 層の磁性層を含むことを特徴とする請求項 1 に記載の磁気メモリ装置。

【請求項 6】 前記磁気抵抗効果素子の単位面積当たりの接合抵抗が $10^6 \Omega \cdot \mu m^2$ 以上であることを特徴とする請求項 1 に記載の磁気メモリ装置。

【請求項 7】 基板上に絶縁層を形成し、

前記絶縁層上に下部電極を形成し、

前記下部電極の上面に磁気抵抗効果膜、この磁気抵抗効果膜は絶縁バリア膜とこの絶縁バリア層を挟んで積層された複数の磁性体膜とを含む、を形成し、

前記磁気抵抗効果膜の上にマスク層を積層し、

前記マスク層をマスクとして用いて前記磁気抵抗効果膜をイオンエッチング加工して磁気抵抗効果素子を形成する際に、イオンビームにより飛散するスパッタ

物質の分布中心が磁気抵抗効果素子の側面から離れた位置にあるように行う、
ことを特徴とする磁気メモリ装置の製造方法。

【請求項 8】 前記イオンエッチング加工時に、前記磁気抵抗効果素子の側面がその底面となす角度が約 60 度以下となるように前記磁気抵抗効果素子の側面にテーパを形成する、ことを特徴とする請求項 7 に記載の磁気メモリ装置の製造方法。

【請求項 9】 前記マスクの最高のスパッタリング効率を得られるイオンビーム入射角度を θ_m 、前記マスク側面のテーパ角を θ_t 、基板の法線に対するイオンビームの入射角を θ とすると、 $\theta = \theta_t - \theta_m$ を満たすように入射角 θ が定められることを特徴とする請求項 7 又は請求項 8 に記載の磁気メモリ装置の製造方法。

【請求項 10】 前記磁気抵抗効果素子は前記ハードマスクに対して自己整合関係を持つように形成されることを特徴とする請求項 7 に記載の磁気メモリ装置の製造方法。

【請求項 11】 前記磁気抵抗効果膜をイオンエッチングにより加工して磁気抵抗効果素子を形成した後に、前記磁気抵抗効果素子の側面のクリーニング工程を付加することを特徴とする請求項 7 に記載の磁気メモリ装置の製造方法。

【請求項 12】 前記クリーニング工程はイオンビームを前記側面に照射する工程を含む請求項 11 に記載の磁気メモリ装置の製造方法。

【請求項 13】 前記イオンエッチングがアルゴンイオンによることを特徴とする請求項 7 に記載の磁気メモリ装置の製造方法。

【請求項 14】 前記イオンエッチングが RIE 法により行われることを特徴とする請求項 7 に記載の磁気メモリ装置の製造方法。

【請求項 15】 前記イオンエッチングに用いられるイオン源と前記基板との相対位置を、前記磁気抵抗効果素子の全ての側面が前記イオン源に向けられるように変化させることを特徴とする請求項 7 に記載の磁気メモリ装置の製造方法。

。

【請求項 16】 基板と、
前記基板上に形成された配線層とを有し、

前記配線層は、下部電極と、前記下部電極の上に配置され、絶縁バリア層を含んで構成された磁気抵抗効果素子と、前記磁気抵抗効果素子の上に積層された少なくとも一つのコンタクト層と、前記コンタクト層に接続された上部配線とを含み、前記磁気抵抗効果素子はイオンビームエッチングによる素子形成後にイオンビームエッチングによりクリーニング処理された傾斜側面を有することを特徴とする磁気メモリ装置。

【請求項 17】 前記クリーニング処理された傾斜側面は、前記イオンビームエッチングによる素子形成後に前記磁気抵抗効果素子全体を覆って設けられた絶縁膜がエッチングにより除去された後の露出面であることを特徴とする請求項 16 に記載の磁気メモリ装置。

【請求項 18】 基板と、

前記基板上に形成された配線層とを有し、

前記配線層は、下部電極と、前記下部電極の上に配置され、絶縁バリア層を含んで構成された磁気抵抗効果素子と、前記磁気抵抗効果素子の上に積層された少なくとも一つのコンタクト層と、前記コンタクト層に接続された上部配線とを含み、イオンビームエッチングによる素子形成後に前記磁気抵抗効果素子全体を覆って設けられた絶縁膜が前記下部電極よりも酸化しやすい材料で構成されていることを特徴とする磁気メモリ装置。

【請求項 19】 前記磁気抵抗効果素子はイオンビームエッチングによる素子形成後にイオンビームエッチングによりクリーニング処理された傾斜側面を有し、前記クリーニング処理された傾斜側面は、前記イオンビームエッチングによる素子形成後に前記磁気抵抗効果素子全体を覆って設けられた前記絶縁膜がエッチングにより除去された後の露出面であり、前記凹部は前記イオンビームエッチングにより前記磁気抵抗効果素子が形成される際にイオンビームによるオーバエッチングにより形成されたものであることを特徴とする請求項 18 に記載の磁気メモリ装置。

【請求項 20】 前記磁気抵抗効果素子はエッチング用のイオンビームに対して略同ジエッチングレートを有する絶縁バリア層およびこの絶縁バリア層の両側に形成された少なくとも 2 層の磁性層を含むことを特徴とする請求項 16 又は

請求項 18 に記載の磁気メモリ装置。

【請求項 21】 基板上に絶縁層を形成し、
前記絶縁層上に下部電極を形成し、
前記下部電極の上面に磁気抵抗効果膜、この磁気抵抗効果膜は絶縁バリア層とこの絶縁バリア層を挟んで積層された複数の磁性体膜とを含む、を形成し、
前記磁気抵抗効果膜の上にマスク層を積層し、
前記マスク層をマスクとして用いて前記磁気抵抗効果膜をイオンエッチング加工して磁気抵抗効果素子を形成し、
前記マスクと、前記磁気抵抗効果素子と、前記下部電極との上面に絶縁膜を形成し、
イオンビームにより前記磁気抵抗効果素子の側面が露出するように前記絶縁膜をエッチングすることを特徴とする磁気メモリ装置の製造方法。

【請求項 22】 基板上に絶縁層を形成し、
前記絶縁層上に下部電極を形成し、
前記下部電極の上面に磁気抵抗効果膜、この磁気抵抗効果膜は絶縁バリア層とこの絶縁バリア層を挟んで積層された複数の磁性体膜とを含む、を形成し、
前記磁気抵抗効果膜の上にマスク層を積層し、
前記マスク層をマスクとして用いて前記磁気抵抗効果膜をイオンエッチング加工して磁気抵抗効果素子を形成するとともに前記下部電極上部をオーバエッチングすることでこの下部電極上部に凹部を形成し、
前記マスクと、前記磁気抵抗効果素子と、前記凹部を含む下部電極と、の上面に絶縁膜を形成し、
イオンビームにより前記磁気抵抗効果素子の側面が露出し、且つ前記下部電極上に前記絶縁膜が残るように前記絶縁膜をエッチングすることを特徴とする磁気メモリ装置の製造方法。

【請求項 23】 前記絶縁膜は前記下部電極より酸化しやすい材料で形成することを特徴とする請求項 22 に記載の磁気メモリ装置の製造方法。

【請求項 24】 前記絶縁膜は酸素を含まない材料で形成することを特徴とする請求項 22 に記載の磁気メモリ装置の製造方法。

【請求項 2 5】 前記磁気抵抗効果素子を形成する際は、イオンビームエッチングの際に飛散して付着する被エッチング物質をイオンビームにより磁気抵抗効果素子の側面から除去することを特徴とする請求項 2 1 又は請求項 2 2 に記載の磁気メモリ装置の製造方法。

【請求項 2 6】 前記磁気抵抗効果素子側面のテーパ角を θ_{mtj} とし、前記磁気抵抗効果素子のエッチングレートを θ_{mtj} の関数として $ER(\theta_{mtj})$ とし、前記磁気抵抗効果素子の上部に形成された絶縁膜のエッチングレートをエッチングを行なう際のイオンビームの入射角 θ の関数として $ER(\theta)$ とし、前記絶縁膜の膜厚を d とし、イオンエッチングにより前記磁気抵抗効果素子の側面のみが露出する時間を t 、とすると、 $t = d * (ER(\theta_{mtj} - \theta) - ER(\theta)) / (ER(\theta_{mtj} - \theta) * ER(\theta))$ を満足することを特徴とする請求項 2 1 又は請求項 2 2 に記載の磁気メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、磁気ランダムアクセスメモリ（以下MRAMと略称する）のメモリセル、特に磁気抵抗効果素子を利用した磁気メモリ装置および磁気メモリ装置の製造方法に関する。

【0002】

【従来の技術】

MRAMとは、情報の記録担体として強磁性体の磁化方向によるバリア層の抵抗値の変化を利用した、記録情報を随時、書き換え、保持、読み出すことができる不揮発性固体メモリの総称である。MRAMのメモリセルは、通常複数の強磁性体とバリア層とを積層した構造を有する。例えば、第1の強磁性層であるピン層と、絶縁層であるバリア層と、第2の強磁性層であるフリー層が積層されて形成されており、第1、第2の2つの強磁性層はバリア層を挟むように形成されている。

【0003】

前記メモリセルの配置される箇所は、クロスストライプ状に構成されたセンス

線およびワード線のマトリクス状の複数の交点である。また、メモリセルはセンス線およびワード線に挟まれるように配置されている。

【0004】

情報の記録は、メモリセルを構成するピン層とフリー層の磁化の方向が、互いに同一方向か、反対方向であるかを2進の情報“1”、“0”に対応させて行う。記録情報の書き込みは、ワード線に電流を流すことで生じる磁界により、各メモリセルのフリー層の磁化方向を反転させることで行われる。このメモリセルは記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。

【0005】

記録情報の読み出しは、メモリセルのバリア層の電気抵抗が、メモリセルを構成する強磁性体であるピン層とフリー層との相対的な磁化方向とセンス電流との相対角、またはピン層とフリー層間の磁化方向の相対角によって変化する現象、いわゆる磁気抵抗効果を利用して行う。

【0006】

ここで、MRAMの機能が、従来の誘電体を用いた電荷蓄積型の半導体メモリ、例えばDRAMの機能と異なる点を挙げる。一つ目は、完全な不揮発性であり、また10の15乗回以上の書き換えが可能であることである。二つ目は、非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であることである。三つ目は、電荷蓄積型のメモリセルに比べ、放射線に対する情報保持耐性が強いことである。

【0007】

MRAMの単位面積あたりの集積度、書き込み、読み出し時間は、おおむねDRAMと同程度となりうることが予想される。従って完全な不揮発性という大きな特色を生かし、携帯機器用の外部記録装置、LSI混載用途、さらにはパーソナルコンピュータの主記憶メモリへの応用が期待されている。

【0008】

現在実用化の検討が進められているMRAMでは、メモリセルに磁気トンネル接合素子(Magneto-Tunneling-Junction素子：以下、MTJ素子と称する)を用

いるものがある（例えば、特許文献 1 および 2 参照）。

【0009】

MTJ 素子は、主として強磁性層／絶縁層（トンネルバリア層）／強磁性層からなる三層膜で構成され、電流は絶縁層をトンネル効果により流れる。絶縁層のトンネル抵抗値は、両強磁性層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。例えば NiFe／Co／Al₂O₃／Co／NiFe トンネル接合では、500 e 以下の低磁界において 25 % を越える磁気抵抗変化率が見いだされている。

【0010】

MTJ 素子形成の際の微細加工には、通常フォトリソグラフィと Ar イオンを用いたイオンエッチングとを併用した加工プロセスが一般的である。

【0011】

また、半導体分野では、化学的ドライエッチング（Chemical Dry Etching；以下 CDE と略記する）、反応性イオンエッチング（Reactive Ion Etching；以下 RIE と略記）など、化学反応を利用したドライエッチング法によるエッチング方法もある。

【0012】

また、従来の MRAM の構造についての詳細な説明が特許文献 1 および 2 などに記載されている

【0013】

【特許文献 1】

米国特許第 5, 946, 228 号明細書

【0014】

【特許文献 2】

米国特許第 6, 072, 718 号明細書

【0015】

【発明が解決しようとする課題】

上記のように MTJ 素子を形成するためには、MTJ 素子形成用の磁性体膜とバリア膜との積層膜をエッチングあるいはイオンエッチングにより微細加工しな

ければならない。MTJ 素子部分の微細加工に用いるイオンエッチング法は、物理的なスパッタリング法である。しかし、イオンエッチング法による微細加工では、加工に伴って被加工物質が残渣として、レジストマスク側面や被加工MTJ 素子部分や加工装置内部に再付着するといった問題がある。

【0016】

また、現在、化学的ドライエッチング（CDE）、反応性イオンエッチング（RIE）などの化学反応を利用したSi、SiO₂等のエッチングでは、これらの被加工物は高い蒸気圧を有するハロゲン化物として気相のまま除去される。しかしながら、MTJ 素子形成に用いられるFe、Ni、Co、Cu等の3d遷移金属のハロゲン化物は蒸気圧が低く、半導体加工に用いられるエッチングプロセスをそのまま適用するのは困難であるといった問題がある。

【0017】

また一酸化炭素、アンモニアの混合ガスを用い、有機金属化合物を形成して化学的なエッチングを行う方法も考案されているが、この方法は化学反応速度が不十分であり、反応ガスによる物理的なスパッタリングが混在したプロセスにならざるを得ない等の問題を有しており、実用化には至っていない。

【0018】

しかしながら、物理的なスパッタリングを用いた微細加工プロセスによると、前述した被加工物質の残渣膜が被加工TMR 素子部分の側面に残る。この残渣膜は導電性を有する場合があります、これが絶縁性のバリア膜をショートし、MRAMセルの初期不良の原因となっていることが分かった。

【0019】

この発明は、以上の点に鑑みなされたもので、その目的は、メモリセルの初期不良のない磁気メモリ装置およびその製造方法を提供することにある。

【0020】

【課題を解決するための手段】

上記目的を達成するため、この発明の一態様の磁気メモリ装置は、基板と、前記基板上に形成された配線層とを有し、前記配線層は、下部電極と、前記下部電極の上に配置され、絶縁バリア層を含んで構成された磁気抵抗効果素子と、前記

磁気抵抗効果素子の上に積層された少なくとも一つのコンタクト層と、前記コンタクト層に接続された上部配線とを含み、前記磁気抵抗効果素子はイオンビームエッチングによる素子形成後にイオンビームエッチングによりクリーニング処理された傾斜側面を有することを特徴として構成されている。

【0021】

また、この発明の他の実施形態の磁気メモリ装置の製造方法は、基板上に絶縁層を形成し、前記絶縁層上に下部電極を形成し、前記下部電極の上面に磁気抵抗効果膜、この磁気抵抗効果膜は絶縁バリア膜とこの絶縁バリア層を挟んで積層された複数の磁性体膜とを含む、を形成し、前記磁気抵抗効果膜の上にマスク層を積層し、前記マスク層をマスクとして用いて前記磁気抵抗効果膜をイオンエッチング加工して磁気抵抗効果素子を形成し、前記マスクと、前記磁気抵抗効果素子と、前記下部電極との上面に絶縁膜を形成し、イオンビームにより前記磁気抵抗効果素子の側面が露出するように前記絶縁膜をエッチングすることを特徴としている。

【0022】

また、この発明の他の態様の磁気メモリ装置は、基板と、前記基板上に形成された配線層とを有し、前記配線層は、下部電極と、前記下部電極の上に配置され、絶縁バリア層を含んで構成された磁気抵抗効果素子と、前記磁気抵抗効果素子の上に積層された少なくとも一つのコンタクト層と、前記コンタクト層に接続された上部配線とを含み、前記絶縁バリア層を含む磁気抵抗効果素子の側面がその底面に対してなすテーパ角度が約60度以下であることを特徴としている。

【0023】

上記のように構成されたこの発明によれば、初期不良がなく、製品歩留まりの高い良好な磁気メモリ装置およびその製造方法を提供することが出来る。

【0024】

【発明の実施の形態】

以下、この発明の第1の実施の形態について図面を参照して説明する。尚、以下に述べる第1の実施の形態の説明において、同一もしくは類似の構成要素については、説明の重複を避けるために同一符号を用いてその詳細な説明を省略する

。

【0025】

まず、図1にはこの発明の一実施形態の磁気抵抗効果素子として形成されたMTJ素子30の断面図を示す。図1においてMTJ素子30は、下部電極28上に形成されており、MTJ素子30の上にはマスク（以下ハードマスクと称する）36が形成されている。層間絶縁膜40は、これらの下部電極28、MTJ素子30およびハードマスク36全体を覆うように一体に形成されている。ハードマスク36の上面は層間絶縁膜40の上面と同一面内にあり、かつ層間絶縁膜40から露出されている。

【0026】

また、MTJ素子30は4層構造であり、反強磁性層32、第1の強磁性層33、絶縁バリア層34および第2の強磁性層35を有し、この順番に順次下部電極28上に形成されている。また、第1の強磁性層33はピン層と呼ばれ、第2の強磁性層35はフリー層と呼ばれる。この実施形態ではMTJ素子30を4層構造としているが4層に限定されるものではなく、実施段階ではその趣旨を逸脱しない範囲で、種々に変形することが可能である。

【0027】

ここで、MTJ素子30に形成されている絶縁バリア層34を含む磁性層の側面の角度を以下テーパ角 θ_{mtj} と称し、ハードマスク36に形成されている側面の角度を以下テーパ角 θ_t と称する。これらの角度は図1では下部電極28の表面に対する角度 θ_{mtj} 、あるいはMTJ素子30表面に対する角度 θ_t として定義されているが、下部電極28の表面は後で述べるように図2に示す基板11の表面に対して平行に形成されるため、これらの角度は結局、例えば基板11の表面に立てた法線に対する角度として定義することもできる。図1の実施の形態の場合、テーパ角 θ_{mtj} よりテーパ角 θ_t の方が大きく設定されている。

【0028】

テーパ角 θ_t を有したハードマスク36の形成は、例えばRIE等のエッチングによって行なわれる。また、MTJ素子30の形成は、上記テーパ角 θ_t を有したハードマスク36をマスクとして用い、例えばArイオン等を用いたイオン

ミリング、即ちイオンエッチングによって行なわれる。

このように、ハードマスク 36 はテーパ角 θ_t を有し、MTJ 素子 30 はそれより小さい異なるテーパ角 θ_{mtj} を有するように形成される。

【0029】

次に、上記説明した MTJ 素子 30 を含む配線層を有する磁気メモリ装置が基板上に形成された実施形態の構成を、その製造プロセスとともに図 2 の断面図を参照して説明する。

【0030】

図 2 において、半導体基板 11 の表面領域に複数の素子分離絶縁膜 12 が形成され、これらの素子分離絶縁膜 12 間に形成された素子形成領域にはソース／ドレイン領域 15a、15b が例えば不純物の拡散により形成される。ソース／ドレイン領域 15a、15b の間の半導体基板 11 の上にはゲート絶縁膜 13 並びにゲート電極 14 が形成される。後で説明するように、このゲート電極 14 は MTJ 素子 30 に記憶された情報の読み出し用のワード線として用いられる。

【0031】

その後、これらのゲート絶縁膜 13 およびゲート電極 14 が形成された半導体基板 11 の上部を覆って第 1 の層間絶縁膜 16 が形成される。第 1 の層間絶縁膜 16 中にはソース／ドレイン領域 15a、15b の各々の上面と接続されるため 2 個所にコンタクトプラグ 17、18 が形成される。一方の第 1 のソース／ドレイン領域 15a の上面にはコンタクトプラグ 17 が接続され、コンタクト 17 プラグ上部は配線 19 と接続される。

【0032】

他方のソース／ドレイン領域 15b の上面にはコンタクトプラグ 18 が接続され、コンタクトプラグ 18 上部は電源線、即ちソース線である配線 20 と接続される。このコンタクトプラグ 17 と配線 19 とは例えばデュアルダマシン法による銅の堆積により一度に形成することができる。コンタクトプラグ 18 と配線 20 も同様に形成される。これらの導電部が形成された後で、層間絶縁膜 16 および配線 19、20 の表面は CMP により研磨され、平坦化される。

【0033】

次いで上記形成された第1の層間絶縁膜16の上部には第2の層間絶縁膜21が形成される。第2の層間絶縁膜21中にはCMPにより露出された配線19の上面と接続されるようにビアプラグ22が形成され、このビアプラグ22上部は配線23と接続される。また、この配線23に隣接して、同じく第2の層間絶縁膜21中には後で説明する書込み用のワード線として用いられる配線24が形成される。このビアプラグ22と配線23とはやはりデュアルダマシン法により形成され、一方、配線24はシングルダマシン法により形成することができる。

【0034】

さらに、上記形成された第2の層間絶縁膜21、配線23、24のCMP後、配線23および配線24を含む層間絶縁膜21の上部には層間絶縁膜25が形成される。ここで、CMPにより層間絶縁膜21の表面に露出した配線23の上面と接続するために、層間絶縁膜25を貫通するビアプラグ26が例えばシングルダマシン法およびCMPにより形成される。

【0035】

その後、CMPにより露出されたビアプラグ26の上部と接続されるように、第3の層間絶縁膜25の上部に図1に示した下部電極28として用いられる配線28が形成される。この下部電極28上面にはMTJ素子30およびハードマスク36が順次形成される。この構成は図1で説明したので、ここでは省略する。

【0036】

上記形成された下部電極28、MTJ素子30およびハードマスク36全体を覆うように第4の層間絶縁膜40が形成される。この第4の層間絶縁膜40のCMP後、層間絶縁膜40上にはMTJ素子30のハードマスク36に接続された、センス線、即ちビット線として用いられる配線41が形成される。

【0037】

ここでは、図1において説明したように、MTJ素子30と配線41との間に挿入されたハードマスク36は単一の材料で形成された一層構造として構成されているが、複数の材料で形成された複数の層からなるハードマスクを用いてもよい。

【0038】

上記説明した磁気メモリ装置において、半導体基板 11 上に複数の層間絶縁膜 16、21、25、40 を用いて形成された複数の配線層を順次配置するまでの形成方法は従来から知られており、これ以上の構成および製造プロセスの説明は省略する。

【0039】

なお、後で説明されるが、ソース／ドレイン領域 15a、15b、ゲート絶縁膜 13 およびゲート電極 14 により構成された MOS 型のトランジスタは MTJ 素子 30 に記憶された情報読み出し時のスイッチ素子として用いられるものである。

【0040】

ここで、下部電極 28 および MTJ 素子 30 の詳細な構造および製造工程は後述する。また配線 24 は前述したように情報書き込み時にビット線 41 と組み合わせて用いられるワード線であり、書き込みが効率良く行われるように比較的薄い層間絶縁膜 25 を介して MTJ 素子 30 の直下に形成されるようにする。

【0041】

ここで、このように形成された磁気メモリ装置においての読み出しと書き込みの動作について詳細に説明する。MTJ 素子 30 が持つ抵抗の大小は、上記説明した MTJ 素子 30 内のフリー層とピン層の 2 つの強磁性層の夫々のスピンの相対的な向きに起因する。したがって、データの書き込みはこのフリー層のスピンの向きを反転させることにより行う。

【0042】

ビット線用の配線 41 およびワード線用の配線 24 は互いに直交するように形成されており、書き込み時に配線 41 および配線 24 に夫々電流が流される。すると、配線 41 および配線 24 に流れる直流電流によって作られる磁界によって MTJ 素子 30 中の一方の強磁性層であるフリー層のスピンの向きが変化する。このスピンの向きによって MTJ 素子 30 の絶縁バリア層の抵抗値が左右される。

【0043】

読み出し時には、読み出し用ワード線であるゲート電極 14 に読み出し電圧が印加され、このゲート電極 14 を持つ MOS トランジスタがオン状態とな

る。この結果、ビット線である配線 4 1 に流れる読み出し電流は、MTJ 素子 3 0 を通り、下部電極 2 8、ビアプラグ 2 6、配線 2 3、ビアプラグ 2 2、配線 1 9、コンタクトプラグ 1 7、ソース／ドレイン領域 1 5 a、電源線 2 0 と順次流れる。

【0044】

ここで、このMOSトランジスタはオン状態であるため、一方のソース／ドレイン領域 1 5 a から電流は他方のソース／ドレイン領域 1 5 b に流れ、その後、コンタクトプラグ 1 8 を介して電源線である配線 2 0 に流れる。

【0045】

この際、MTJ 素子 3 0 の抵抗が大のときは、配線 4 1 と下部電極 2 8 との間に流れるセンス電流の量が少ないため、例えばビット線 4 1 に接続された図示しないセンス回路により“0”の情報が読み出される。又、MTJ 素子 3 0 の抵抗が小さいときはセンス電流が大きく、例えば、“1”の情報が読み出される。

【0046】

書き込み時においては、読み出し用ワード線であるゲート電極 1 4 には電圧が印加されないで、このMOSトランジスタがオフの状態である。そして、配線 4 1（ビット線）および配線 2 4（ワード線）に流す電流によって作られる磁界の向きによって、MTJ 素子 3 0 中のスピンの向きがセットされる。例えば、書き込み対象のMTJ 素子 3 0 中のスピンの向きが書き込みデータの内容に一致していれば、データ書き込み後も見掛け上はこの素子 3 0 の状態は変わらないが、異なるときはデータ内容に応じてスピンの向きが変えられる。結局、夫々のMTJ 素子の抵抗値の大小がデータの内容に応じてセットされることになる。

【0047】

ここで、この実施の形態の上記下部電極 2 8 およびMTJ 素子 3 0 の製造プロセスについての詳細な説明を図 3（a）乃至図 5（c）を用いて以下説明する。

まず、図 3（a）において、層間絶縁膜 2 5 およびビアプラグ 2 6 の上面がCMP処理され、その上部に銅等の導電性の配線層膜 2 7、磁気抵抗効果膜 3 1、ハードマスク膜 3 6 A および他のハードマスク膜 3 7 A が順次形成されている。

【0048】

磁気抵抗効果膜 31 は図 1、図 2 に示した M T J 素子を形成するための複合膜構造を持ち、図 1 に示した配線層 28 を形成するために堆積された配線層膜 27 上に順次形成された反強磁性層 32、強磁性層 33、絶縁バリア層 34、および強磁性層 35 を含む。磁気抵抗効果膜 31 の上にハードマスク膜 36 A を形成する為、材料に T a を用い、その膜厚は 150 nm の厚さとなるようにスパッタにより形成する。

【0049】

次に、このハードマスク膜 36 A の上にハードマスク膜 37 A を形成する。このハードマスク膜 37 A の材料には S i O₂ を用い、その膜厚は 100 nm の厚さとなるようにスパッタにより形成する。この状態を図 3 (a) に示す。

【0050】

次いで、上側のハードマスク膜 37 A をパターンニングして図 3 (b) に示すハードマスク 37 を形成するために、ハードマスク膜 37 A の上面に図示しないレジスト膜を堆積する。このレジスト膜はハードマスク 37 に対応するパターンを形成するために露光によりパターンニングされる。この実施形態において、前記パターンニングは、エキシマレーザを用いた露光装置によるフォトリソグラフィにより行なわれる。

【0051】

このハードマスク膜 37 A の上にレジストがパターンニングされると、ハードマスク膜 37 A は C H F₃ を用い、チャンバ圧力 1 P a、高周波電力 150 W の条件での R I E によりエッチングされる。このハードマスク膜 37 A が選択的にエッチングされてハードマスク 37 が形成されると、ハードマスク 37 上部のレジストパターンは、O₂ を用いてアッシングすることで剥離される。また、アセトンによる超音波洗浄も続けて行なわれる。この結果、図 3 (b) に示すようにハードマスク 37 が形成される。

【0052】

続いて、このように形成されたハードマスク 37 を用いて、ハードマスク膜 36 A を、C H F₃、C F₄ および O₂ を用い、チャンバ圧力 5 P a、高周波電力

150Wの条件でのRIEによりエッチングする。または、C12を用いたRIEによりエッチングしてもよい。この結果、図3(c)に示すように、上側のハードマスク37の形状がハードマスク膜36Aに転写され、ハードマスク36が形成される。

【0053】

その後、ハードマスク36上部のハードマスク37は、例えば、CHF₃を用い、チャンバ圧力1Pa、高周波電力150Wの条件でのRIEによりエッチングされ、ハードマスク37は剥離される。すると、図4(a)に示すようにハードマスク36が磁気抵抗効果膜31上に形成される。

【0054】

次に、このように形成されたハードマスク36を用いて磁気抵抗効果膜31のエッチングが行なわれる。この磁気抵抗効果膜31のエッチングにより、磁気抵抗効果膜31がハードマスク36の形状に分離され、図4(b)に示すようにテーパー面を有するMTJ素子30の形状にパターニングされる。

【0055】

この実施形態において、前記MTJ素子30形成のためのイオンエッチングは、ハードマスク36をマスクとし、Arイオンエッチング法を用いて行われる。Arイオンエッチングは、例えば図7に示すようなArイオン源1を用い、発生されたArイオンビームを半導体基板11の主表面に立てた法線に対する入射角 θ で射突させることにより行われる。このArイオンエッチングを行う際の条件は、例えばArイオン源1と基板11との間に印加されるイオン加速電圧VB=400V、イオンビームの電流量IB=100mAであり、基板11への入射角 θ は30°または45°に設定される。

【0056】

このArイオンエッチングにより、図4(b)に示すように、ハードマスク36の側面がエッチングされて、側面と底面との角度 θ_t を有する台形状となり、同様に、MTJ素子30も角度 θ_{mtj} を有する台形になる。このイオンエッチングについての詳細な説明は後述する。

【0057】

次に、図4(c)に示すように、配線層28を形成するために配線層膜27上にハードマスク36およびMTJ素子30を覆うハードマスク38を形成する。このため、基板11全体にハードマスク膜として、例えばSiO₂膜を、その膜厚が80nmの厚さとなるようにスパッタにより形成する。その後、このSiO₂膜上全体にレジスト膜を堆積し、このレジスト膜をフォトリソグラフィ法によりパターニングしてハードマスク38に相当するレジストマスクを形成する。

【0058】

このレジストマスクを用い、SiO₂膜をパターニングすることによりハードマスク38が形成される。このパターニングは、CHF₃を用い、チャンバ圧力1Paの条件でRIEによりエッチングされ、図4(c)の形状のハードマスク38が図示しないレジストマスク下に形成される。

【0059】

そして、この状態でO₂を用いレジストマスクをアッシングすることで、このレジストマスクが剥離される。また、アセトンによる超音波洗浄も続けて行なわれる。この結果、図4(c)に示すような形状のハードマスク38が形成される。

【0060】

次に、このハードマスク38を用いて配線層膜27がエッチングされる。このエッチングは、加速電圧VB=400Vおよび入射角 θ が0°の条件の下で、Arイオンエッチングで行なう。この結果、図5(a)に示す下部の電極層28が形成される。

【0061】

その後、ハードマスク37と同様に、例えば、CHF₃を用い、チャンバ圧力1Pa、高周波電力150Wの条件でのRIEによりエッチングされ、ハードマスク38が剥離される。この結果、図5(a)に示すように、ビアプラグ26に接続された下部電極層28上にMTJ素子30およびハードマスク36が形成された状態となる。

【0062】

続いて、図5(b)に示すように、層間絶縁膜25、下部電極である配線層2

8 およびハードマスク 36 上部一体にはスパッタにより層間絶縁膜 40 を形成する。この層間絶縁膜 40 を形成する為の条件として、例えば、1 mm Torr の Ar と O₂ による雰囲気中で、150 W の高周波電力によるスパッタエネルギーを与えて、その膜厚を 600 nm となるように形成する。この結果、図 5 (b) に示すような形状の MTJ 素子 30 およびハードマスク 36 に対応する部分が突出した段差を有する形状の層間絶縁膜 40 が形成される。

【0063】

続いて、アセトンによる超音波洗浄法により、上記層間絶縁膜 40 が形成された基板全体を洗浄する。

その後、表面に段差を有する層間絶縁膜 40 の上部に図示しないレジスト膜を塗布する。この実施形態では、600 nm ほどの厚みで表面が平坦であるレジスト塗布膜を形成している。その後、全体を N₂ 雰囲気中のオーブンで 220℃ の状態で 30 分、ハードベークを行なう。

【0064】

続いて、上記ハードベークされたレジスト塗布膜に対して RIE によるエッチングが行なわれる。この RIE は、例えば CF₄ を用い、チャンバ圧力を 5 Pa に設定して行なう。この結果、レジスト塗布膜および層間絶縁膜 40 はほぼ等しいレートで基板表面に平行にエッチングされ、図 5 (c) に示すように、最終的に層間絶縁膜 40 の表面はハードマスク 36 の上部水平面までほぼ平坦に削られる。

【0065】

続いて、図 5 (c) に示したように、Ta で形成されたハードマスク 36 の露出した表面に対して、コンタクトクリーニングのために Ar イオンエッチングが行なわれる。この Ar イオンエッチングを行なう条件は、例えば加速電圧 VB = 400 V、イオンビーム電流量 IB = 250 mA、入射角 θ は 0°、ビーム照射時間は 0.4 分とした

その後、クリーニングされたハードマスク 36 の上面および層間絶縁膜 40 上部に図 2 に示したセンス線 41 を形成するための図示しない金属膜を形成する。この金属膜の材料は例えば Ta を用い、その膜厚は 10 nm の厚さとなるように

スパッタにより形成される。なお、Taの代わりにCuを用いて形成しても良い。このCuを用いた場合の膜厚は200nmの厚さとなるようにスパッタにより形成する。

【0066】

その後、ハードマスク36の上方に形成されたTa膜の上部に図示しないレジスト膜が所定の厚さに堆積される。レジスト膜が形成されると、このレジスト膜は露光され、レジストパターンが形成される。

【0067】

更に、Ta膜はその上部に形成されたレジストパターンを介してArイオンエッチングによりパターニングされる。Arイオンエッチングを行なう条件は、例えば加速電圧VB=400V、入射角 θ は30°である。これによりTa膜はレジストパターンと同様の形状となるようにエッチングされる。この結果、上記Ta膜は所定形状の上部配線、即ちセンス線41となる。

【0068】

このTa膜のエッチングに用いられたレジストパターンは、O₂を用いアッシングすることで剥離される。また、アセトンによる超音波洗浄も続けて行なわれる。

このようにして図2に示す断面構造を持つ磁気メモリ装置が形成される。この形成された磁気メモリ装置は最後に磁界中で熱処理が行なわれる。その熱処理は、磁界強度を6.5kOe、温度を300℃に保って1時間に亘り真空状態の条件下で行なわれる。

【0069】

なお、上記ハードマスク36は導電性を有する材料であれば良くTaに限らない。また、他のハードマスク37およびハードマスク38の材料にSiO₂を用いたが、これに必ずしも限定されるものではなく、例えばAlOX、SiN、SiON、有機ガラスなどでも良い。ただし、図3(c)および図4(a)に示すように、ハードマスク36のエッチングを行ってからハードマスク37をエッチングにより剥離する必要があるので、ハードマスク36に対してハードマスク37が容易に除去できるエッチング選択比を考慮する必要がある。また、ハード

マスク 36 およびハードマスク 37 の膜厚は、各々 150 nm、100 nm と説明したが、膜厚はこれに限らずに形成可能である。同様に、上記ハードマスク 36、層間絶縁膜 40 および上部配線 41 の膜厚もこれに限らずに形成可能である。

【0070】

更に、RIE を行なう際の設定条件、Ar イオンエッチングを行なう際の加速電圧 VB およびイオン電流量 IB の設定条件、スパッタリングを行なう際の設定条件、レジストパターンの剥離を行なう方法および磁界中における熱処理の設定条件については、上記示した実施形態におけるものに限定されるものではなく、実施段階ではその趣旨を逸脱しない範囲で、種々に変形することが可能である。

【0071】

また上記説明した MTJ 素子 30 の微細加工は、エキシマレーザを用いた露光装置によるフォトリソグラフィと Ar イオンにより行なわれるが、エキシマレーザを用いた露光装置によるフォトリソグラフィの代わりにコンタクトアライナを用いたフォトリソグラフィにより形成するようにしても良い。

【0072】

次に、MTJ 素子 30 の製造プロセスについて、図 6 (a) ないし図 6 (c) を参照して説明する。図 6 (a) ないし図 6 (c) は、この実施の形態の MTJ 素子の加工プロセスを示す断面図である。

【0073】

図 6 (a) には、半導体基板 11 上方に形成された下部電極 28、MTJ 素子 30 を形成するための磁気抵抗効果膜 31 およびテーパ角 θ_t を有したハードマスク 36 を示している。そして、磁気抵抗効果膜 31 およびハードマスク 36 の上面に対しては、その法線方向から角度 θ をなすように Ar イオンビームを斜めに入射している。ここでは $\theta = 45^\circ$ で Ar イオンビームが入射されている。この状態を維持したまま、たとえば基板 11 を回転させると、ハードマスク 36 の全周にわたって 45° で Ar イオンビームが入射される。

【0074】

この結果、図 6 (b) に示すように、Ar イオンビームにより磁気抵抗効果膜

31がハードマスク36に沿って削られ、MTJ素子30が形成される。MTJ素子30およびハードマスク36の側面に沿って示された矢印はハードマスク36およびMTJ素子30の側面からの反跳Arイオンの軌跡を示している。

【0075】

図6(c)のMTJ素子30およびハードマスク36の側面に示す2つの楕円は、イオンビームによりエッチングされたMTJ素子30およびハードマスク36からスパッタリングされた被エッチング物質の分布を表している。即ち、Arイオンエッチングを行なう際、ハードマスク36はテーパ角 θ_t を有している為、スパッタリングされた被エッチング物質がMTJ素子30の側面に付着する事はない。

【0076】

ここで、図7に示したように、イオン源1から発生されたArイオンビームは、基板11に向けて放射される。この基板11は図示しないサンプルステージ上に設置され、サンプルステージを回転することにより基板11を回転可能である。サンプルステージが基板11の法線のまわりに回転すると、Arイオンビームが基板11のすべての表面に対して同じ入射角で射突され、Arイオンエッチングが行なわれる。また、サンプルステージに取り付けられた磁気メモリ装置の基板11のMTJ素子30が形成される主表面側が下を向くように配置されていれば、Arイオンエッチングによって削られた被エッチング物質が重力によりMTJ素子30の側面に付着しないようになっている。

【0077】

次に、図8を参照してMTJ素子30を形成する際のArイオンエッチングの入射角度 θ を種々変えたときの、MTJ素子30の単位面積あたりの絶縁バリア層の接合抵抗の累積度数分布を示すものである。ここでは $4\mu\text{m}^2$ 角のMTJ素子を多数個作成し、図6で説明したArイオンビームによる個々のMTJ素子30の形成の際にエッチング角 θ を変えてその傾向を観察したものである。

【0078】

図8(a)乃至図8(d)に示す夫々の図において、横軸は単位面積あたりの接合抵抗(以下、RAと称する)を対数にとったもので、単位は $\Omega \cdot \mu\text{m}^2$ であ

り、縦軸は累積度数を示すものである。図8 (a) では $\theta = 45^\circ$ 、図8 (b) では $\theta = 30^\circ$ で行なったものである。図8 (c) では $\theta = 0^\circ$ で行なったものである。図8 (d) は $\theta = 0^\circ$ でイオンエッチングを行なった後に再び $\theta = 45^\circ$ で再エッチングを行なったものである。

【0079】

まず、図8 (a) に示すイオンビームの入射角 θ を 45° で行なった場合は、ほとんどすべての磁気メモリ装置のサンプルの接合抵抗 RA が $10^7 \Omega \cdot \mu m^2$ 乃至 $10^8 \Omega \cdot \mu m^2$ を示している。このように、 $\theta = 45^\circ$ では、ほとんどすべての磁気メモリ装置のサンプルが十分な接合抵抗の値を示している。

【0080】

図8 (b) に示すイオンビームの入射角 θ を 30° とした場合も正常な値を示している。しかし、接合抵抗 RA が小さい $10^2 \Omega \cdot \mu m^2$ 乃至 $10^5 \Omega \cdot \mu m^2$ にあるサンプルの累積度数値が増えている。つまり、この場合、イオンビームの角度 θ が、 45° より 30° の方が不良率は増えていることを示している。

【0081】

図8 (c) に示すイオンビームの入射角 θ を 0° で行なった場合は、ほとんどすべての磁気メモリ装置のサンプルの接合抵抗 RA が $10 \Omega \cdot \mu m^2$ 乃至 $10^5 \Omega \cdot \mu m^2$ を示している。これは、ほとんどすべての磁気メモリ装置のサンプルが不良であることを示している。

【0082】

しかしながら、図8 (d) に示すようにイオンビームの入射角 θ を 0° としてMTJ素子30を形成した後に、再度イオンビームの入射角 θ を 45° として行なった結果、接合抵抗 RA が $10^2 \Omega \cdot \mu m^2$ 乃至 $10^5 \Omega \cdot \mu m^2$ にある累積度数値が減少し、接合抵抗 RA が $10^7 \Omega \cdot \mu m^2$ 乃至 $10^8 \Omega \cdot \mu m^2$ を示す累積度数値が増加しており、不良率が低減されていることが分かる。

【0083】

ここで、図8 (c) に示したイオンビームの入射角 θ を 0° としてMTJ素子30を形成した場合に不良率が大きく増加する理由を図9 (a) 乃至図9 (c) の素子断面構造図を用いて簡単に説明する。但し、ここでは、図6で説明した場

合と異なり、ハードマスク 36 のテーパ角 θ_t は 90° であり、かつその側壁に対して Ar イオンビームの入射角 θ も 0° に設定されている。

【0084】

図 9 (a) は Ar イオンエッチングによる加工工程開始時の、半導体基板上方に形成された配線層 28、磁気抵抗効果膜 31 およびハードマスク 36 の形状を示している。

【0085】

半導体基板面に垂直に Ar イオンビームを入射させると、ハードマスク 36 の側面に対しては、ほぼ平行入射となる。しかし、実際にはハードマスク 36 の上面と側面との境界のエッジ部には僅かに丸み乃至は傾斜部が形成されているので、エッチングの進行に従って図 9 (b) に示すように、このエッジ部には図 6 と同様にテーパ部 36 T が形成されてくる。

【0086】

ここで、図 10 にハードマスク 36 の材料として Ta を例にとってハードマスクに用いられる材料のスputtering 効率のイオンビーム入射角依存性を示す。図 10 から分かるように、Ta ハードマスク 36 の側面への平行入射 ($\theta = 0^\circ$)、即ち磁気抵抗効果膜 31 の表面に対して直交する入射角に対して効率はほぼ 0 である。

【0087】

即ち、図 9 (a) 乃至図 9 (c) に示すように、ハードマスク 36 の側面に対して平行に Ar イオンビームが入射されると、Ar イオンビームはほぼ運動量を保ったままハードマスク 36 の上面および磁気抵抗効果膜 31 の表面をエッチングする。この際、ハードマスク 36 の上面のエッジ部は上記したように徐々にテーパを形成しながらエッチングされ、図 9 (b) のテーパ面 36 T が形成される。

【0088】

一方、磁気抵抗効果膜 31 のハードマスク 36 の下面のエッジ部との近傍では、入射イオンビームの運動エネルギーの一部が、ハードマスク 36 のテーパ面 36 T から反跳した Ar ビーム、およびエッチングによりハードマスク 36 および

磁気抵抗効果膜 31 の表面から飛散した雲状物質により吸収される。このエネルギー吸収はエッジ部に近いほど大きいから、結局、磁気抵抗効果膜 31 はハードマスク 36 の周りに図 9 (b) のような状態でテーパ面を有する部分が残し、MTJ 素子 30 が形成された状態となる。図 9 (b) において、ハードマスク 36 および MTJ 素子 30 の側面に沿って図示した矢印は反跳 Ar イオンの軌跡を示している。

【0089】

なお、Ar イオンビームの照射によりエッチングが行われる際は、ハードマスク 36 及び被エッチング膜 31 は共に自身のスパッタリング効率のイオンビーム入射角依存性から決まる小角面（ファセット）を形成しながら後退する。

【0090】

しかし、図 9 (b) に示すように、MTJ 素子 30 が形成された状態でハードマスク 36 の垂直なマスク側面は残っているため、ここでイオンビームの照射が更に進むと、マスク側面下方へのビーム集中は続く。このマスク 36 の側面下方へのビーム集中が続いている状態を図 9 (c) に示す。図 9 (c) に示した二つの楕円の形状は、飛散した物質、即ちスパッタリング物質の分布を表している。

【0091】

即ち、MTJ 素子 30 の上面に対して垂直方向に Ar イオンビームが入射されるため、ハードマスク 36 の上面および側面が削られて生成されたスパッタリング物質は MTJ 素子 30 の近傍に多く集まるため、素子 30 に対する再付着の割合が大きくなり、ハードマスク及びエッチング後の MTJ 素子 30 の側面に多量に付着する。

【0092】

すると、図 1 に示した構造を持つ MTJ 素子 30 内の絶縁バリア層 34 を跨ぐ上下の磁性層 33, 35 間がこの絶縁バリア層 34 の斜面に付着した導電性のスパッタリング物質により導通状態となり、接合抵抗 RA が低下する。このことが MTJ 素子 30 の初期不良の原因となる。

【0093】

更に Ar イオンビームの照射が続くと、ハードマスク 36 側面および MTJ 素

子 30 の側面からの反跳ビームにより MTJ 素子 30 の下面エッジ部へのビームの集中が生じ、図 9 (c) に示すように配線層である下部電極 28 がえぐられてマイクロトレンチ M が生じる。

【0094】

このように、Ar イオンビームによるエッチングを行うと、MTJ 素子 30 の側面にスパッタリング物質が付着して初期不良が生じるとともに、下部電極 28 にマイクロトレンチ M が生じる。以上に説明したように、MTJ 素子 30 の不良はエッチングビーム入射角度に依存して発生することが分かった。

【0095】

図 6 に示したように Ar イオンビームを角度 θ で斜めに照射した場合、ハードマスク 36 の斜面に Ar イオンビームは斜めに入射するため、この Ar イオンビームは MTJ 素子 30 から離隔する方向へ運動量を保って反跳し、図 6 (c) に示したように、飛散された物質は MTJ 素子 30 から離隔された空間に多く分布するようになる。

【0096】

なお、エッチング時に、被エッチング物であるハードマスク 36 および磁気抵抗効果膜 31 は斜め入射される Ar イオンビームに対して回転されるので、ビームが照射されている側面と反対側の MTJ 素子 30 の側面がマスク 36 の陰になる期間があり、この期間ではこの側面はエッチングされないことになる。また、MTJ 素子 30 自身もスパッタリング効率のイオンビーム入射角依存性を持つ。従って、MTJ 素子 30 の側面はこれらの要因によって一定角度で加工されることになる。

【0097】

ここで、上記説明したマスクの陰の個所とは、図 6 (a) 乃至図 6 (c) に示す点線の下方を示している。この場合、スパッタリング物質の分布の中心方向がエッチング後のハードマスク 36 および MTJ 素子 30 の側面からそれているため、該側面への再付着による不良は少なくなる。また、イオンビームが下部電極 28 表面に対して浅い角度で射突するので、下部電極 28 表面にマイクロトレンチも生じない。

【0098】

以上のように、この実施形態の説明から、MTJ素子30の微細加工には磁気抵抗効果膜31の上面に対し斜め入射によるイオンエッチングを用いることで、MTJ素子30の不良率軽減に有効であることがわかる。

【0099】

ここで更に、形成されたMTJ素子30の性能とArイオンエッチングの入射角度等との関係を調べるため、MTJ素子30を含む磁気メモリ装置を種々の条件で作成した結果を、図11乃至図13を参照して詳細に説明する。

【0100】

先ず、MTJ素子30の微細加工に用いるレジストマスクの形成はエキシマレーザを用いた露光装置によるフォトリソグラフィにより行い、磁気抵抗効果膜からMTJ素子30を切り出すのはArイオンエッチングにより行なった。なお、レジストマスクの形成は、エキシマレーザを用いた露光装置によるフォトリソグラフィの代わりにコンタクトアライナを用いたフォトリソグラフィにより形成しても良い。また、ここでの下部電極28およびMTJ素子30の詳細な製造プロセスは図6を参照して説明したものと同様であり、その説明は省略し、以下、プロセス条件について詳細に説明する。

【0101】

この製造プロセスの中で、ハードマスク36およびMTJ素子30の微細加工の条件を各々変え、図11(a)乃至図11(d)に対応させて以下、4通りについて夫々示す。

【0102】

図11(a)に示す第1の例では、ハードマスク36を形成するためのRIEを塩素ガスで行ない、その後、MTJ素子30を形成するためにArイオンエッチングの入射角 θ を 30° で行なったものである。

【0103】

図11(b)に示す第2の例では、ハードマスク36を形成するためのRIEを塩素ガスで行ない、その後、MTJ素子30を形成するためにArイオンエッチングの入射角 θ を 45° で行なったものである。

【0104】

図11(c)に示す第3の例では、ハードマスク36を形成するためのRIEをフロロカーボン系のガスで行ない、その後、MTJ素子30を形成するためにArイオンエッチングの入射角 θ を 30° で行なったものである。

【0105】

図11(d)に示す第4の例では、ハードマスク36を形成するためのRIEをフロロカーボン系のガスで行ない、その後、MTJ素子30を形成するためにArイオンエッチングの入射角を 45° で行なったものである。

【0106】

まず、図11(a)乃至図11(d)において、MTJ素子30の絶縁バリア層を跨ぐ側面の角度(テーパ角 θ_{mtj})は図中に表示されているように順に 70° 、 62° 、 58° 、 50° である。また、同じく図11(a)乃至図11(d)において、そのMTJ素子30の不良率は順に95%、5%、1.5%、0.2%である。

【0107】

ここで、上記示した4通りの例についてのテーパ角 θ_{mtj} と不良率との関係をプロットした結果を図12に示す。図12では、横軸に第1のテーパ角の単位を $[\theta_{mtj}]$ として角度をとり、縦軸に不良率を単位を $[\%]$ としてとっている。ここで、プロットされた曲線において直線部分が横軸と交わる部分、即ち不良率が0%を示すテーパ角 θ_{mtj} の上限を求めたところ、約 60° であることがわかる。

【0108】

即ち、この図12で、テーパ角 θ_{mtj} が 60° を超えると不良率が急上昇することがわかる。また、ハードマスク36を塩素ガスでエッチングした場合、フロロカーボン系のガスでエッチングした場合に比べテーパ角 θ_{mtj} が大きくなる。この理由について更に考察する。

【0109】

塩素ガスエッチングの場合、図13(a)乃至図13(c)に示すようにハードマスク36の側面のテーパ角 θ_t はほぼ 90° であり、斜入射によるArイオ

ンエッチングが行なわれている。しかし、上記ハードマスク 36 の側面に形成されたテーパ面 36 T に対してはほぼ垂直に A r イオンが入射してエッチングされるため、反跳イオンビームが生じ、MTJ 素子 30 の側面に飛散した物質の再付着が生じやすくなっているためと思われる。

【0110】

図 12 から、MTJ 素子 30 の側面のテーパ角 θ_{mtj} が約 60° 以下に設定されると、初期不良率が略 0% となることが分かった。テーパ角 θ_{mtj} が例えば 30° であっても初期不良率から見る限りでは問題はないが、テーパ角 θ_{mtj} が 60° の場合と比べると MTJ 素子 30 の下部電極 28 上への投影面積が増加することになる。したがって、テーパ角 θ_{mtj} をできるだけ大きくすることによりチップ上におけるメモリセルアレイの占有面積が小さくなる。

【0111】

ここで、図 13 (b) および図 13 (c) のハードマスク 36 の側面に沿って図示された矢印は反跳 A r イオンの軌跡を示し、図 13 (c) のハードマスク 36 の側面に沿って図示された楕円はスパッタリングによって削られて飛散した物質の分布を示している。

【0112】

また、ハードマスク 36 を形成する為の R I E をフロロカーボン系のガスで行なった場合にも不良は少ない。フロロカーボン系のガスが不良の軽減に有効なのは、フロロカーボン系のガスでエッチングされた場合、ハードマスク 36 の側面に形成されたテーパ角 θ_t が塩素ガスの場合より小さくなる為である。

【0113】

以上から得た知見として、例えば図 10 に示すようにハードマスク 36 の最高のスパッタリング効率が得られる角度を θ_m 、ハードマスク 36 の側面の角度である第 2 のテーパ角を θ_t 、基板 11 面の法線に対するイオンビームの入射角を θ とすると、 $\theta = \theta_t - \theta_m$ のとき、もっとも反跳イオンの流量は小さいことが分かる。例えば、図 10 では $\theta_m = 35^\circ$ であるから、 $\theta_t = 75^\circ$ ならば $\theta = 40^\circ$ となる。

【0114】

以上説明したような微細加工でMTJ素子30を形成することで、磁気メモリ装置のセル初期不良を防止するMTJ素子を含む磁気メモリ装置の断面構造を実現するものである。本実施形態での磁気メモリ装置を作成するプロセスでは、ArイオンエッチングをMTJ素子30のエッチングに用いたが、RIE、スパッタエッチングを用いた場合にも同様の概念が適用できることは言うまでもない。

【0115】

次に、この発明の第2の実施の形態について、図面を参照しながら、磁気メモリ装置の構成をその製造方法と併せて説明する。尚、以下に述べる第2の実施の形態の説明において、第1の実施の形態と同一もしくは類似の構成要素については、説明の重複を避けるために同一符号を用いてその詳細な説明を省略する。

【0116】

図16(a)は、図1に示した構成のMTJ素子の加工プロセスの途中における断面図を示している。この第2の実施形態のMTJ素子の加工プロセスは第1の実施形態とは異なる加工プロセスを含む。

【0117】

図16(a)に示すように、基板上方には、スパッタ法により下部電極28が形成されており、この下部電極上にはMTJ素子30を形成するための磁気抵抗効果膜31、およびハードマスク36が形成されている。ここで、磁気抵抗効果膜31は、図1に示したMTJ素子30と同様、例えば1乃至2nm程度のAlO_xからなる絶縁層を絶縁バリア層として用い、この絶縁バリア層の上下には、強磁性層からなるピン層と呼ばれる固着層と、フリー層と呼ばれる記録層とを有している。更に、図示しないが、磁気抵抗効果膜31は、バッファ層やギャップ層を有した多層構造をとっている。

【0118】

ハードマスク36は、MTJ素子30を所定のパターンに形成するためにレジストマスクを用いてエッチングにより図示のようにその側壁が所定の傾斜角度を有するように形成されている。ここで、ハードマスク36として、例えばTaを用いた場合、そのエッチングは、Cl₂系やF系のエッチングガスを用いたRIEで行えば良い。この場合、Taからなるハードマスク36側壁の傾斜角度は、

レジストマスクに対する R I E の選択性から 70° 乃至 80° 程度のものが得られる。

【0119】

続いて、図 16 (b) に示すように、ハードマスク 36 をマスクとして磁気抵抗効果膜 31 を A r イオンビームによりエッチングする。この A r イオンエッチングは、例えば図 7 に示すような A r イオン源 1 を用い、発生された A r イオンビームを基板の主表面に立てた法線に対する入射角 θ で射突させることにより行われる。この A r イオンエッチングを行う際の条件として、例えば、基板を矢印に示すように回転させた状態で基板への入射角 θ を 10° ないし 45° 程度にして行う。これにより、所定の側壁角度を有する M T J 素子 30 が得られる。この M T J 素子 30 の側壁角度はどのような角度であってもよいが、例えば M R A M としてチップ上に形成される際の集積密度が高い場合には急峻な角度に設定され、反対に密度が低い場合には低い角度に設定してもよい。尚、この第 2 の実施形態の場合、第 1 の実施形態と異なり、図 16 (a) のプロセスの後では、M T J 素子 30 の側壁に A r イオンビームのエッチングにより飛散された汚染物質が膜状に堆積した状態となっている。

【0120】

その後、図 17 (a) に示すように、図 16 (b) における下部電極 28、M T J 素子 30、ハードマスク 36 の全面に、例えば、A l O_x を用い、反応性スパッタにより保護膜 39 を堆積する。特に、保護膜 39 は、ハードマスク 36 及び M T J 素子 30 のテーパ側面への被覆性を高めるため、バイアスパッタを行いながら膜厚約 20 nm に堆積する。

【0121】

次に、図 17 (b) に示すように、下部電極 28、M T J 素子 30、およびハードマスク 36 の上面全体に対し、回転する基板の法線に対する A r イオンビームの入射角度 θ を 0° として A r イオンエッチングを行う。ここで、図 18 に、A l O_x を例にとって保護膜 39 に用いられる材料のエッチレートのイオンビーム入射角依存性を示す。このように、エッチレート、つまりスパッタリング効率は、ある角度でピークを持つよう変化する。図 18 から分かるように、絶縁性の

保護膜 39 としての AlO_x に対するイオンエッチングの場合、エッチレートが最大となる入射角度 θ は約 60° である。

【0122】

従って、例えば、MTJ 素子 30 の所定の側壁角度を持つテーパ面に対するイオンビームの入射角度を約 60° に設定すれば、その他の部分に比較して最も早くエッチングされることになる。図 18 の場合、入射角度が 60° と 0° のエッチレートの比は 3 程度となる。

【0123】

図 17 (b) の場合は基板法線に対する Ar イオンビームの入射角度は 0° であるから、ハードマスク 36 の側壁に対する入射角度より MTJ 素子 30 のテーパ面に対する入射角度の方が大きくなり、図 18 から分かるように、その上に堆積した AlO_x 保護膜のエッチレートも大きくなる。仮に、MTJ 素子 30 の側壁角度が 60° であるとする、MTJ 素子 30 のテーパ面へのイオンビームの入射角度は 60° となり AlO_x 保護膜の最大のエッチレートが得られることが分かる。

【0124】

この結果、MTJ 素子 30 側面上の保護膜 39 が最初に除去され、図 17 (b) に示すように、MTJ 素子 30 の側面が露出した状態では、下部電極 28 上を含むその他の部分では保護膜 39 が薄くはなるがまだ除去されずに残っていることになる。このように MTJ 素子 30 の側面が露出された状態で、そのテーパ側面に再堆積により付着した導電性を有する汚染物質膜が除去され、クリーン化されるまで保護膜 39 のエッチングを実施すればよい。

【0125】

その後、下部電極 28 上に形成された保護膜 39 が残った状態で全体に層間絶縁膜を形成する。なお、図 17 (b) に示す残った保護膜 39 をエッチング法により全て除去した後に、全面に層間絶縁膜を形成しても良い。

【0126】

また、この実施の形態ではハードマスク 36 のテーパ角を MTJ 素子 30 のテーパ角より大きい角度として、その上の保護膜のエッチレートを MTJ 素子 30

の側面上の保護膜のエッチレートに対して低下させている。これにより、MTJ素子30側面の保護膜39が除去されたときにハードマスク36の側面に保護膜39が残留することで導電性物質で形成されたハードマスク36がエッチングされるのを防ぐことができる。つまり、MTJ素子30の側面の保護膜39のエッチングレートが、ハードマスク36側面、および下部電極28上の保護膜39のエッチングレートより大きくなるようにArイオンビームの入射角度を調整すれば良い。従ってMTJ素子30のテーパ角 θ_{mtj} およびハードマスク36のテーパ角 θ_t は、種々の、値で形成され得る。多くの実用的なMTJ素子のテーパ角 θ_{mtj} の範囲において、MTJ素子30の側面に対するイオンビームの入射角度 θ を例えば 60° に調整することで、MTJ素子30の側面のみを優先的に露出させ、導電性物質による汚染のクリーニングを行うことができる。

【0127】

この保護膜39のイオンビームエッチングを行う時間としては、エッチング開始からMTJ素子30側面のみが露出したような状態で、上述した汚染物質の膜を除去できるまでの時間である。このMTJ素子30側面のみが露出する時間 t は、保護膜39をイオンビームエッチングする際のArイオンビームの入射角度 θ に対するエッチレートを $ER(\theta)$ 、MTJ素子30のテーパ角を θ_{mtj} 、保護膜39の膜厚を d とすると、

$$t = d * (ER(\theta_{mtj} - \theta) - ER(\theta)) / (ER(\theta_{mtj} - \theta) * ER(\theta))$$

となる。これにより、MTJ素子30の側面のみ露出している時間、即ちクリーニング時間 t を長くするには、保護膜39の膜厚 d を大きく、保護膜39のエッチレートの角度依存性を大きく、また保護膜39のエッチングレート $ER(\theta)$ を遅くすれば良い。

【0128】

このようにしてMTJ素子30形成後、テーパ面上の汚染物質膜を除去することにより、このテーパ面を介してMTJ素子30の強磁性層間のトンネルバリア膜等で生じるショートを抑制することができる。なお、MTJ素子30側面をイオンエッチングにより露出、クリーニングする際、下部配線28、およびハード

マスク 36 は保護膜 39 で覆われているため、このイオンエッチングの工程で MTJ 素子 30 側面へ膜状の被エッチング材料の付着が生じる場合でも、その被エッチング材料は保護膜 39、すなわち絶縁物であるためショートの原因とはならない。

【0129】

また、MTJ 素子 30 側面上の保護膜 39 の膜厚は、バイアスパッタの条件を適切に選ぶことより、下部電極上の膜厚よりも減らせることができる。これにより、MTJ 素子 30 側面のみが露出しているクリーニング時間、つまりプロセスウィンドウの幅をより広く取ることができる。以上のように、多くの実用的な MTJ 素子 30 のテーパ角 θ_{mtj} の範囲において、MTJ 素子側面の汚染物質膜を効果的に除去できることが分かる。

【0130】

上記第 2 の実施の形態において、ハードマスク 36 のテーパ角を MTJ 素子 30 の側壁のテーパ角よりも大きく形成することにより、高入射角度側で急速に低下するエッチレート of 角度依存性により、ハードマスク側壁上の絶縁膜はエッチングされずに残り、MTJ 素子の側壁の金属性汚染源の発生を防ぐことができる。それに対し、以下に説明するようにハードマスクのテーパ角を MTJ 素子の側壁テーパ角よりも小さく形成しても良い。

【0131】

次に、この発明に係る第 3 の実施の形態の磁気メモリ装置および磁気メモリ装置の製造方法について図 19 (a) 乃至図 20 (c) を用いて以下説明する。なお、この実施の形態において、上述した第 2 の実施の形態と同一の部分には同一の符号を付してその詳細な説明を省略する。

【0132】

まず、図 19 (a) において、図示しない基板上方に、下部電極 28、磁気抵抗効果膜 31、ハードマスク膜 36B およびハードマスク 37 が順次形成されている。ここで、磁気抵抗効果膜 31 の上にハードマスク膜 36B を形成する為、材料に Ta を用い、その膜厚は約 100 nm の厚さとなるようスパッタにより形成する。次に、このハードマスク膜 36B の上にハードマスク 37 用の絶縁膜を

形成する。このハードマスク 37 用絶縁膜の材料には SiO_2 を用い、その膜厚は約 190 nm の厚さとなるようにスパッタにより形成する。その後、ハードマスク 37 用絶縁膜の上面にレジスト膜を堆積してパターンニングし、レジストマスクを形成する。

【0133】

ハードマスク 37 用の絶縁膜の上に堆積されたレジスト膜がパターンニングされると、このレジストマスクを用いてハードマスク 37 用の絶縁膜は CHF_3 ガスを用いた RIE によりエッチングされる。ここで、エッチングする際は、膜厚 190 nm のハードマスク 37 用絶縁膜のエッチングの深さが約 170 nm で残留膜厚が 20 nm となるように制御する。そして、ハードマスク 37 用の絶縁膜上のレジストパターンを剥離することで、図 19 (a) に示す形状のハードマスク 37 が形成される。

【0134】

続いて、このように形成されたハードマスク 37 を用い、例えばイオンビームの電圧 500 V、イオンビームの電流量 $I_B = 250 \text{ mA}$ 、イオン加速電圧 $V_B = 250 \text{ V}$ 、入射角 0° の条件での Ar イオンビームエッチングにより、ハードマスク 37 およびハードマスク膜 36 B をエッチングして、ハードマスク 37 の薄膜化した部分の下側のハードマスク 36 B の残留膜厚が約 10 nm となるようエッチングする。この結果、図 19 (b) に示すように、ハードマスク 37 の形状がハードマスク膜 36 B に転写され、ハードマスク 36 が形成される。

【0135】

このパターン転写工程の際、ハードマスク 37 を構成する SiO_2 のエッチレートがハードマスク 36 を構成する Ta のそれより速いため、図 19 (b) に示したようにハードマスク 37 の厚み、面積が縮小する。その結果、ハードマスク 36 は例えば約 60° のテーパ角 θ_t を有する構造となる。

【0136】

次に、このように所定の形状に形成されたハードマスク 36 を用いて磁気抵抗効果膜 31 のエッチングが行なわれる。この磁気抵抗効果膜 31 のエッチングにより、磁気抵抗効果膜 31 がハードマスク 36 に対応した形状に分離され、図 2

0 (a) に示すようにMTJ素子30の形状にパターンニングされる。そして、ハードマスク36で覆われていない下部電極28上部は、オーバエッチングによりこのMTJ素子30形成の際に削られ、下部電極28の上部にはMTJ素子30の下面より下がった凹部が形成される。

【0137】

この第3の実施形態において、図20 (a) に示す前記MTJ素子30形成のためのエッチングは、ハードマスク36をマスクとし、Arイオンビームエッチングを用いて行われる。このArイオンビームエッチングを行う際の条件は、例えばイオンビームの電圧400V、イオンビームの電流量 $I_B = 100\text{ mA}$ 、イオン加速電圧 $V_B = 100\text{ V}$ 、であり、基板法線となす入射角 θ は 45° 程度に設定される。

【0138】

その後、図20 (b) に示すように、下部電極28、MTJ素子30、およびハードマスク36上全面に、例えば反応性スパッタにより絶縁膜としての保護膜39を堆積する。特に、保護膜39は、ハードマスク36の側面への被覆性を高めるため、バイアスパッタを行いながら、例えば SiO_2 を用い膜厚約80nmに堆積する。次に、下部電極28、MTJ素子30、およびハードマスク36の上面全体に対し、Arイオンビームの入射角度 θ を 0° としてArイオンビームエッチングを行う。

【0139】

このArイオンビームエッチングを行う際の条件は、例えばイオンビームの電圧500V、イオンビームの電流量 $I_B = 250\text{ mA}$ 、イオン加速電圧 $V_B = 250\text{ V}$ 、であり、基板法線となす入射角 θ は 0° に設定される。そして、保護膜39の SiO_2 の膜厚がハードマスク36の上面および下部電極28上に10nm程度残るようにArイオンビームエッチングを行う。この絶縁膜堆積後のイオンビームエッチングの際に後述するように、MTJ素子30の側壁のみが露出した状態でのイオンビームエッチングが行われることにより、その前のMTJ素子形状形成のためのエッチングの際に付着した導電性の汚染物質膜が効果的に除去される。その後、ハードマスク36の上面および下部電極28上に保護膜39が

残った状態で、図示しない層間絶縁膜が基板全面に形成される。

【0140】

保護膜 39 として用いた SiO_2 に対するイオンエッチングの場合、 AlO_x の場合と同様、スパッタリング効率が最大となるその表面に対する入射角度 θ は約 60° である。また、その入射角度 θ が 60° の場合と、入射角度 θ が 0° の場合とのエッチングレートの比は 2 : 1 である。これにより、図 20 (c) に示すように、MTJ 素子 30 側面の保護膜 39 が除去され、MTJ 素子 30 側面が露出する。つまり、エッチングレートの違いは、MTJ 素子 30 側面の保護膜 39 と下部電極 28 上の保護膜 39 との実効的なイオンビームの入射角度の相違によるものである。

【0141】

これにより、MTJ 素子 30 形成時の Ar イオンビームエッチングにより MTJ 素子 30 側面に再堆積された金属性の汚染物質膜を有効にエッチング除去することができ、MTJ 素子 30 の有する絶縁バリア層を跨ぎ強磁性層間等で生じるショートを抑制できる。また、下部電極 28 上には、堆積された絶縁性の保護膜 39 が残留するため、イオンビームエッチングにより MTJ 素子 30 側面に付着した汚染物質膜をクリーニングする際に再飛散された汚染物質が付着しても、それによる悪影響を抑制することができる。また、保護膜 39 のエッチングにより飛散した保護膜物質も絶縁性であるから、たとえ上記のクリーニングの際に MTJ 素子 30 の側面に再付着しても何らの問題も生じない。

【0142】

なお、この第 3 の実施形態では、形成されたハードマスク 36 のテーパ角 θ_t は、MTJ 素子 30 のテーパ角 θ_{mtj} と同等かそれ以下に形成される。一方、図 18 に示したように、保護膜 39 としての絶縁材料のピークの入射角度 60° より低い角度側でのエッチングレートの角度依存性は、ピーク角度 60° より高い角度側のそれよりもエッチングレート低下の程度が小さい。換言すると、両者におけるエッチングレートに大きな差がない。これにより、図 20 (c) に示した工程では、MTJ 素子 30 の側面が露出したときに Ar イオンエッチングによりハードマスク 36 側面の一部も若干露出することが考えられる。

【0143】

しかしながら、MTJ素子30形成時のイオンエッチングにおけるMTJ素子30側面における汚染物質膜の再付着の角度依存性を考慮すると、ハードマスク36の側面の延長線より外側、すなわちハードマスク36のイオンビームの照射面より 180° 以上の方向にあるMTJ素子30側面に対しては、再付着する汚染物質量はゼロに近い。これにより、ハードマスク36側面からMTJ素子30側面への汚染物質膜の再付着は殆ど無視できる。

【0144】

ここで、この第3の実施の形態および上記第2の実施の形態に係る、磁気メモリ装置の製造方法によれば、イオンエッチング時に付着したMTJ素子30側面の汚染物質膜をクリーニング工程において効果的に除去することができるが、この時、予めMTJ素子30のテーパ角 θ_{mtj} を第1の実施の形態におけると同様に 60° 以下に形成し、導電性の汚染物質膜の付着を少なくしておくことにより初期不良の少ない、一層製品歩留まりの高い磁気メモリ装置を作製することができる。

【0145】

なお、上述した実施の形態に限定されることなく、この発明の範囲内で種々変形可能である。例えば、上記保護膜39は、絶縁材料としての AlO_x 、 SiO_2 で形成したが下部電極28を構成する材料によりその材料を種々選択する必要がある。例えばTaを用い下部電極28を構成した場合は、保護膜39を過剰に酸化された AlO_x や、通常の SiO_2 を用いて構成することは好ましくない。つまり、過剰に酸化された AlO_x や、通常の SiO_2 が、酸化しやすいTaに接して多く存在すると、Taを酸化してしまう。したがって、このTaの酸化によりその導電性が失われ、下部電極としての金属の性質が一部失われるおそれがある。そのため、Taを用い下部電極28を構成した場合は、保護膜39としては、酸素を含まない SiN_x 等の絶縁性窒化物か、Taよりも酸化しやすいAlの酸化物、特に過剰に酸素を含まない組成のものを用いて構成することが望ましい。

【0146】

【発明の効果】

以上詳述したようにこの発明によれば、初期不良がなく、製品歩留まりの高い良好な磁気メモリ装置および磁気メモリ装置の製造方法を提供することが出来る。

【図面の簡単な説明】

【図 1】 この発明の第 1 の実施の形態の磁気メモリ装置における M T J 素子が形成された配線層の構造を示す断面図。

【図 2】 この発明の第 1 の実施の形態の磁気メモリ装置の構造を示す断面図。

【図 3】 図 1、図 2 に示した磁気メモリ装置において M T J 素子を形成する為の工程を詳細に示す断面図。

【図 4】 図 3 の工程に続く、磁気メモリ装置において M T J 素子を形成する工程を詳細に示す断面図。

【図 5】 図 4 の工程に続く、磁気メモリ装置において M T J 素子を含む配線層を形成する工程を詳細に示す断面図。

【図 6】 図 4 に示した M T J 素子の形成工程を更に詳細に示す断面図。

【図 7】 図 6 に示すミリング工程に用いられる A r イオンビームを生成するビーム源と基板との関係を示す概略図。

【図 8】 図 6 の工程における A r イオンビームの入射角度を変えた場合の、形成された M T J 素子の単位面積あたりの接合抵抗 (R A) の累積度数分布を示す図。

【図 9】 A r イオンビームを基板に垂直に入射した場合の M T J 素子の形成工程を示す断面図。

【図 10】 イオンビームの入射角 (θ) に対するスパッタリング効率の変化を示す図。

【図 11】 絶縁バリア層を跨ぐ側面の角度が夫々異なる M T J 素子を示す画像。

【図 12】 M T J 素子の絶縁バリア層を跨ぐ側面の角度の変化による磁気メモリ装置の不良率を示す図。

【図 13】ハードマスク側面に傾斜がない状態で Ar イオンビームを斜入射することで MTJ 素子が形成される場合の磁気メモリ装置の構造を示す断面図。

【図 14】磁気抵抗効果膜から MTJ 素子の分離後に基板に垂直の方向に Ar イオンビームを入射することで再エッチングが行なわれる状態を示す素子断面構造の図。

【図 15】磁気抵抗効果膜から MTJ 素子の分離後に下部電極の上面をハードマスクで覆った状態で垂直方向に Ar イオンビームを入射することで再エッチングが行なわれる状態を示す素子断面構造の図。

【図 16】この発明の第 2 の実施の形態の磁気メモリ装置において MTJ 素子を形成する為の工程を説明するための素子断面図。

【図 17】図 16 の工程に続く、磁気メモリ装置において MTJ 素子を形成する工程を詳細に示す断面図。

【図 18】イオンビームの入射角 (θ) に対する絶縁材料のエッチングレートの変化を示す図。

【図 19】この発明の第 3 の実施の形態の磁気メモリ装置において MTJ 素子を形成する為の工程を詳細に示す断面図。

【図 20】図 19 の工程に続く、磁気メモリ装置において MTJ 素子を形成する工程を詳細に示す断面図。

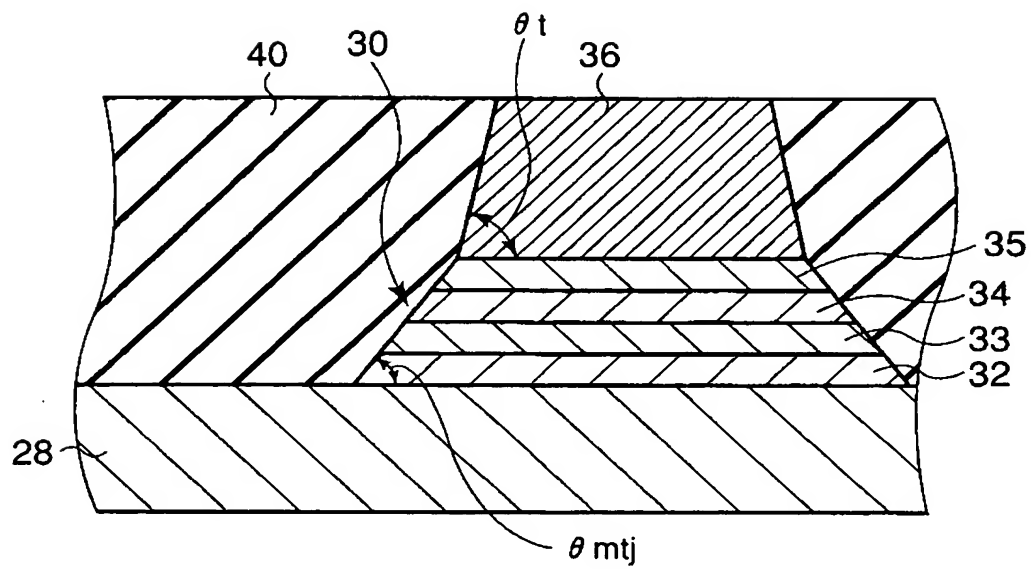
【符号の説明】

16、21、25、40…層間絶縁膜, 17、18、22、26…コンタクト,
19、20、23、24、28、41…配線, 30…MTJ 素子, 32…反強磁性層,
33、35…強磁性層, 34…絶縁バリア層, 36…ハードマスク, 39
…保護膜

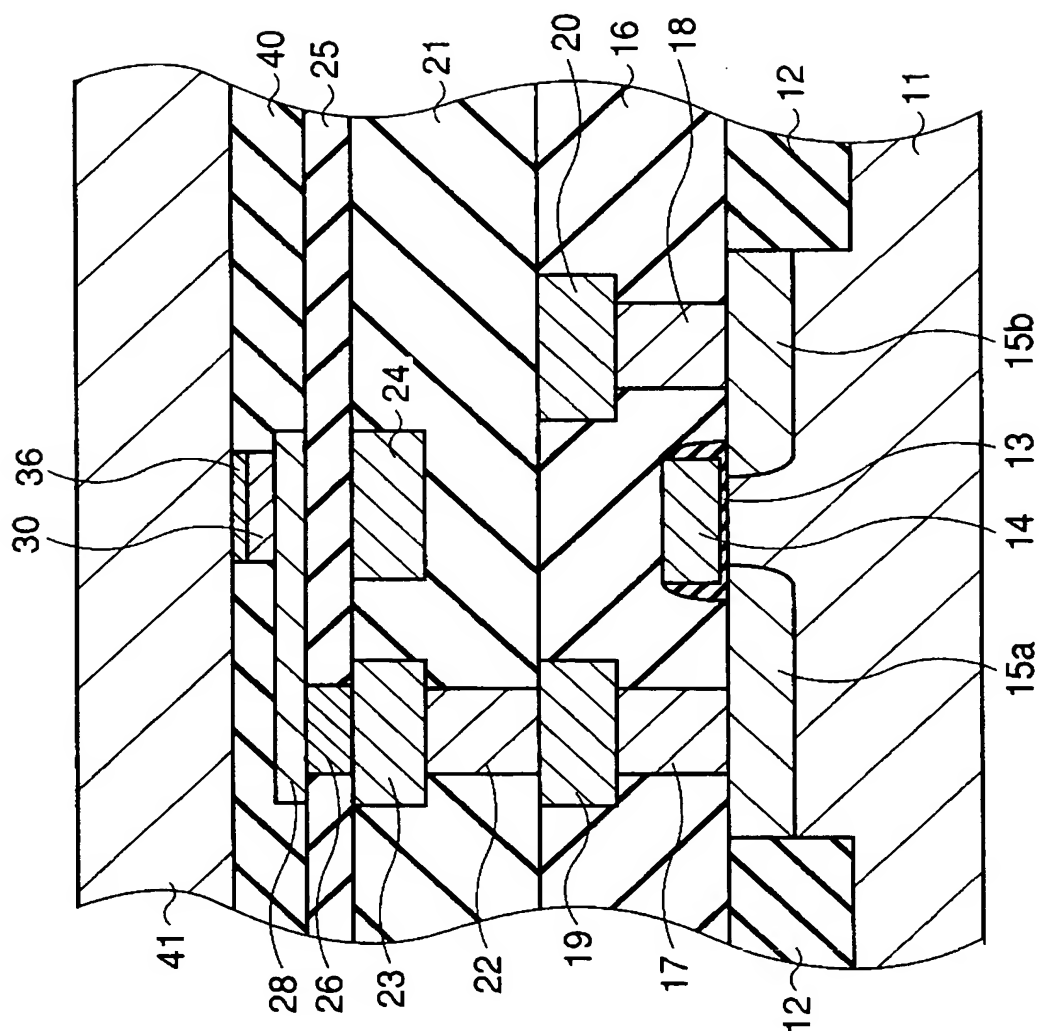
【書類名】

図面

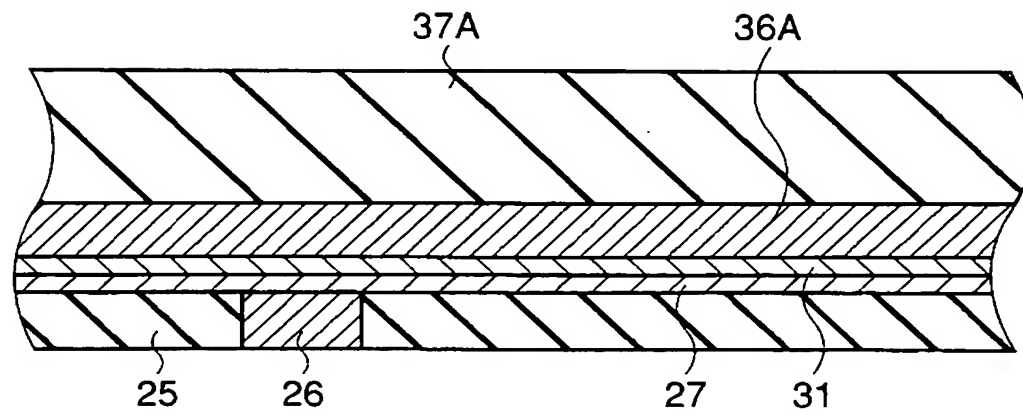
【図 1】



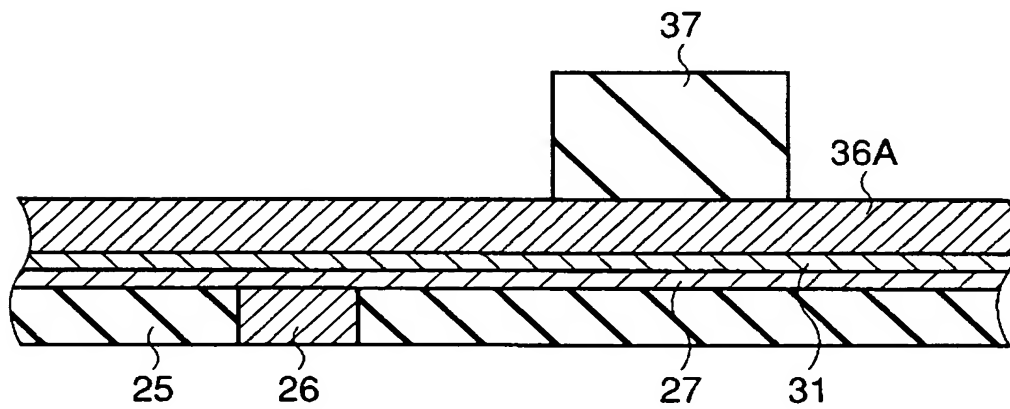
【図 2】



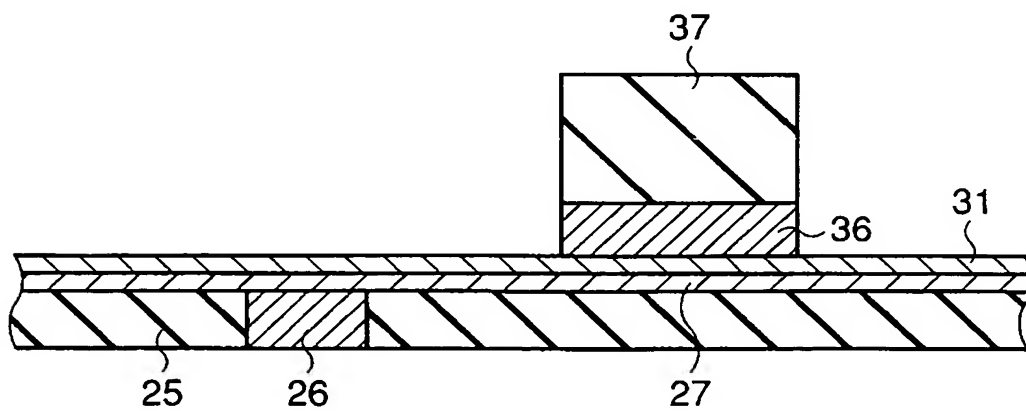
【図 3】



(a)

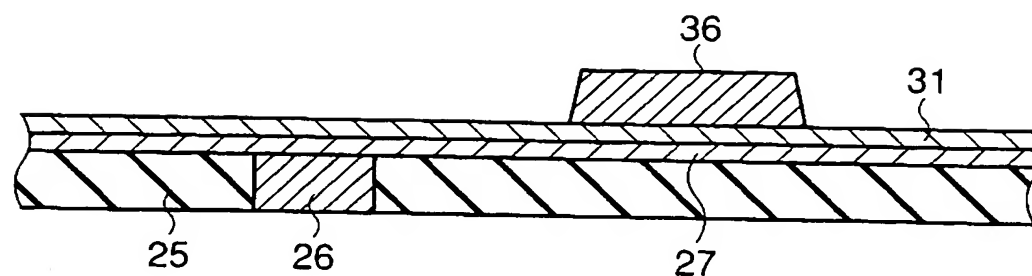


(b)

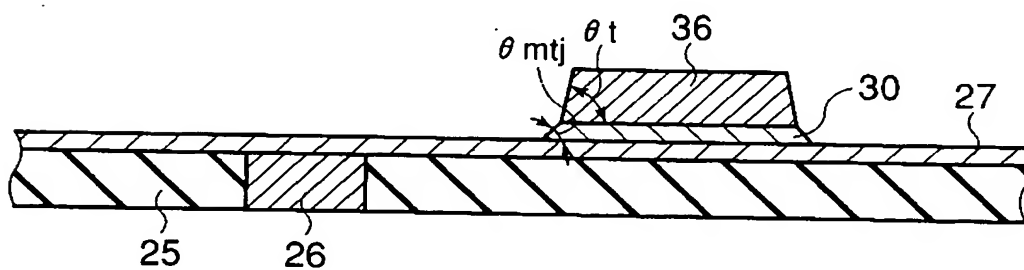


(c)

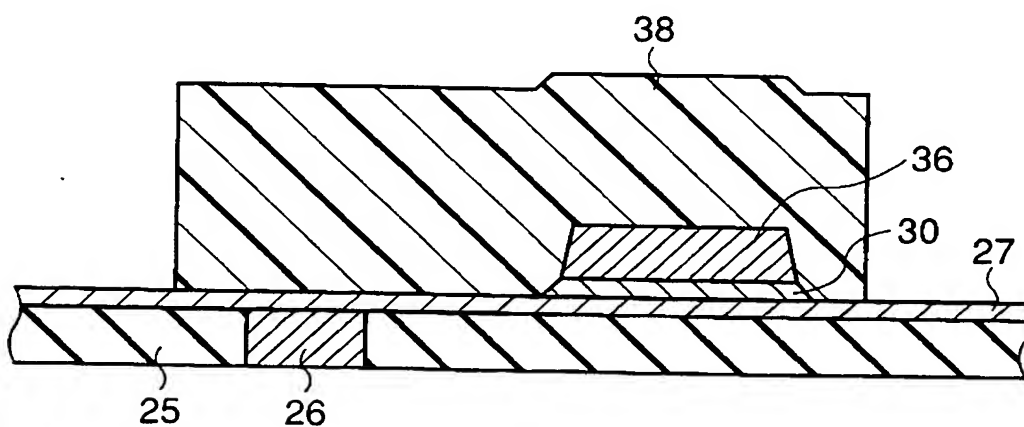
【図 4】



(a)

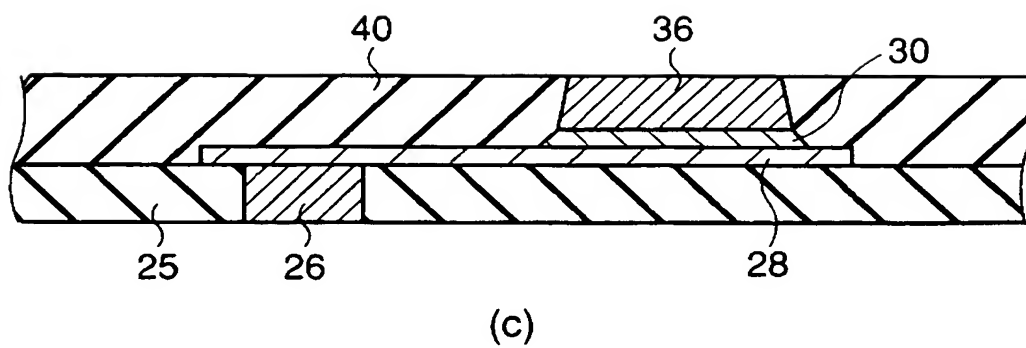
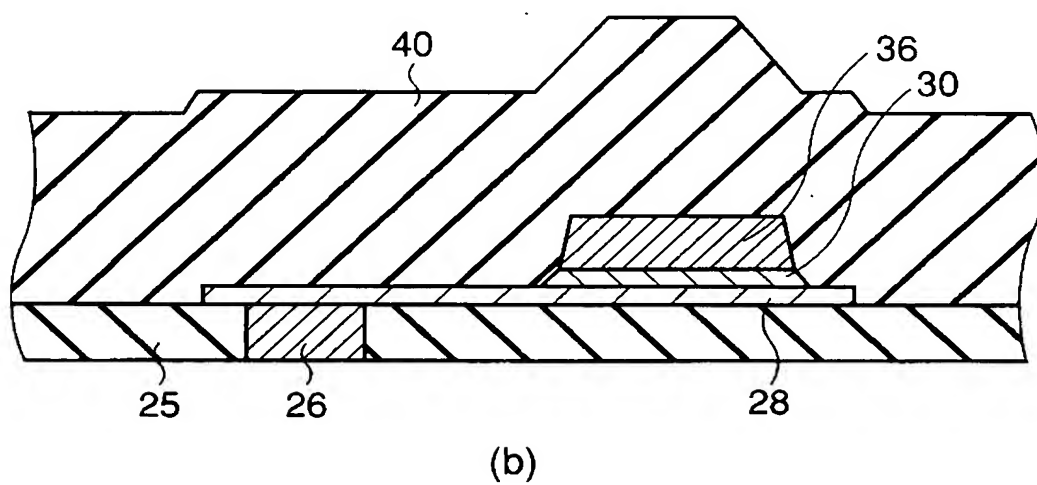
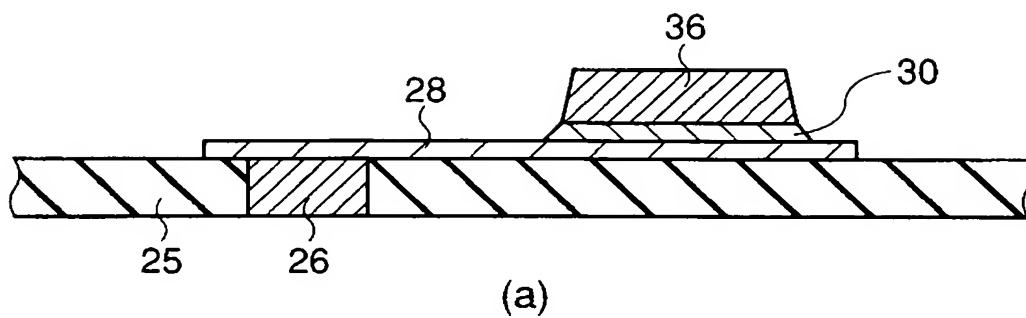


(b)

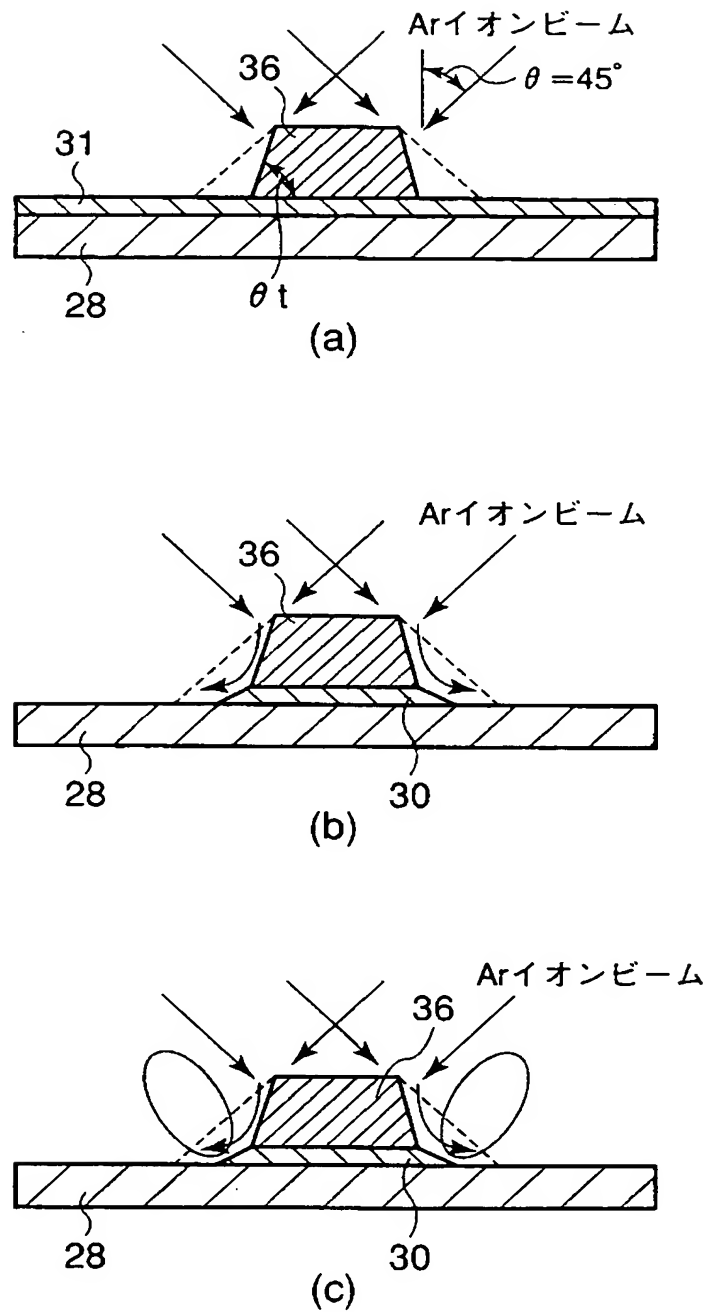


(c)

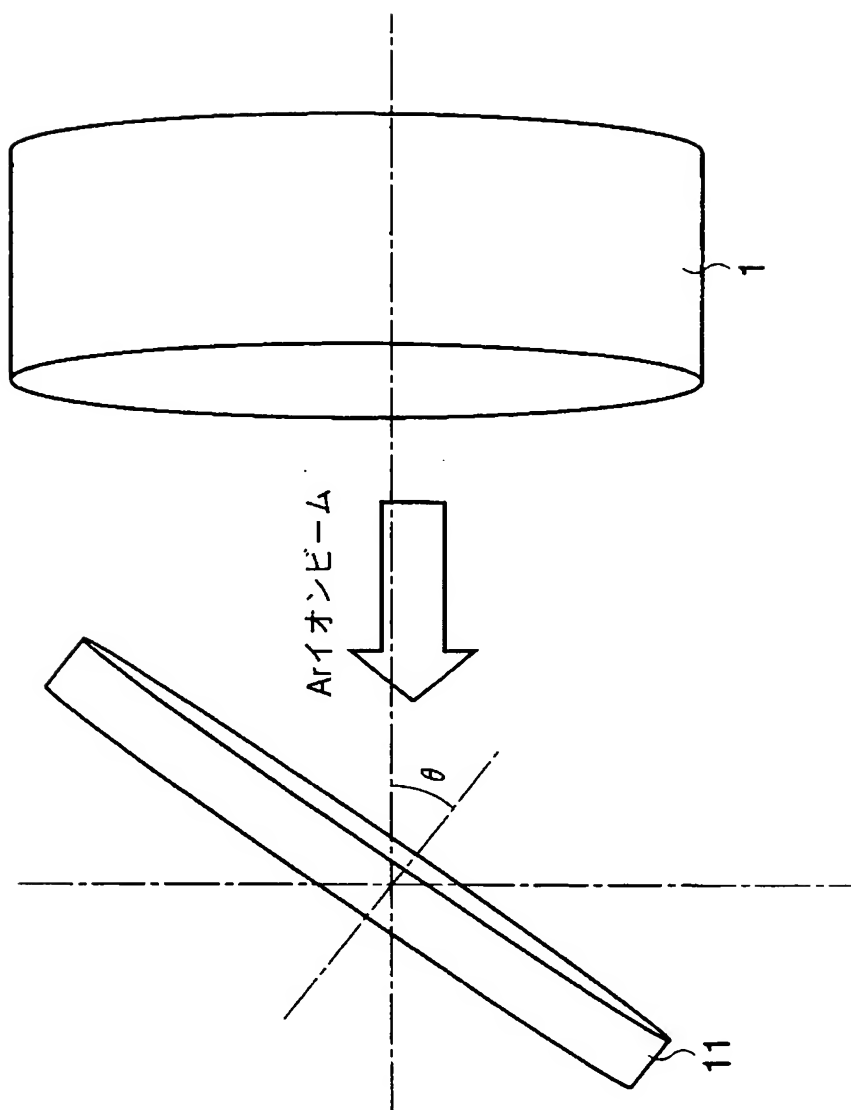
【図 5】



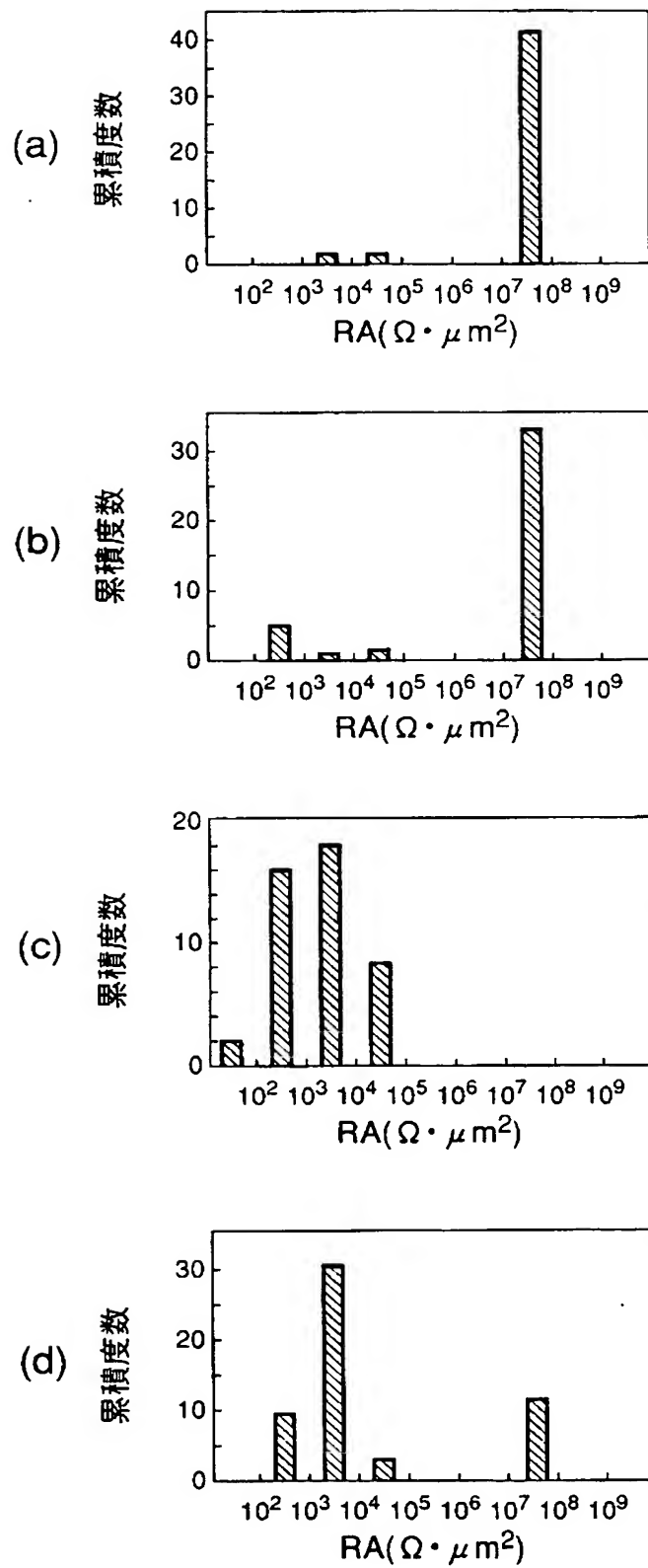
【図 6】



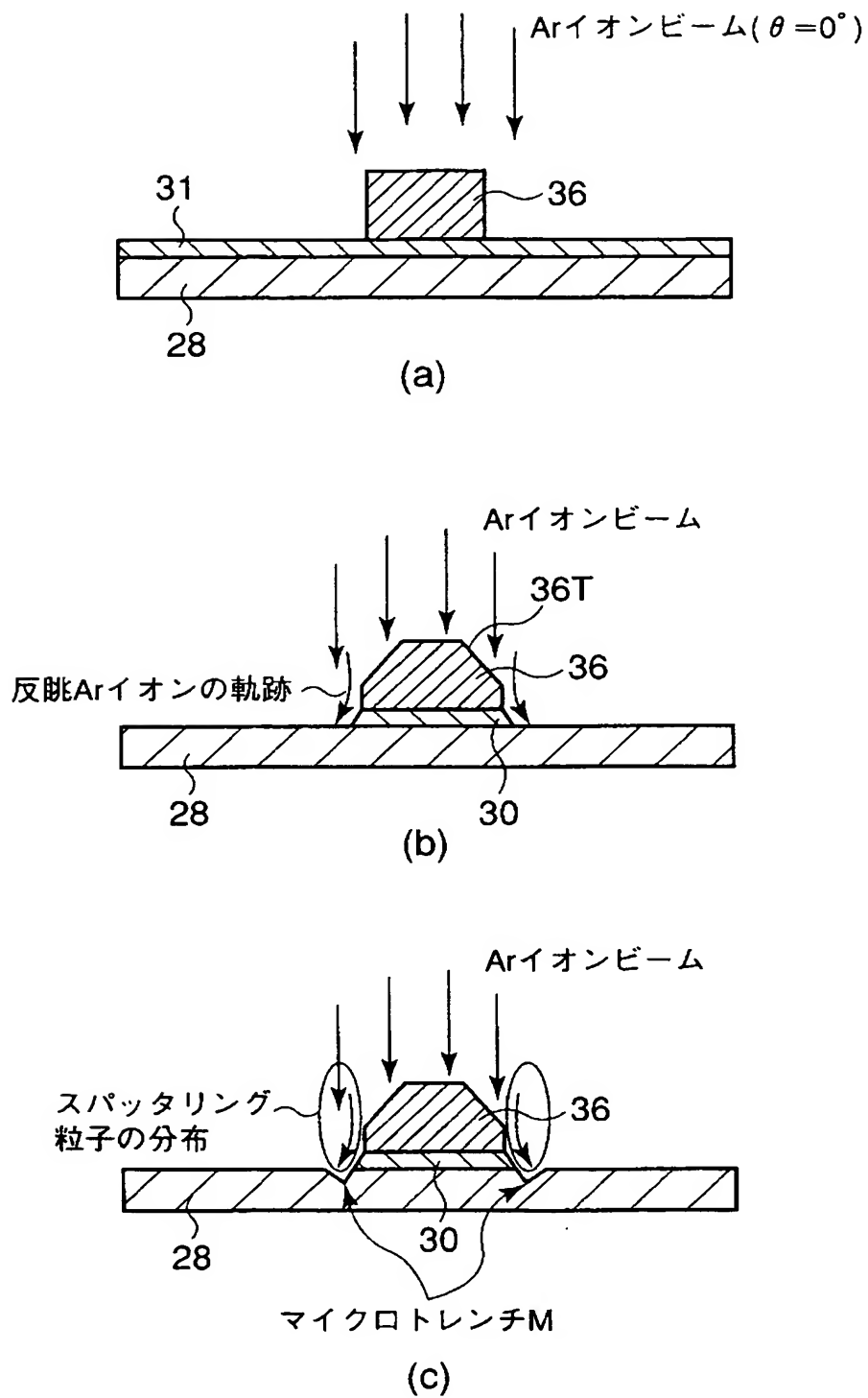
【図 7】



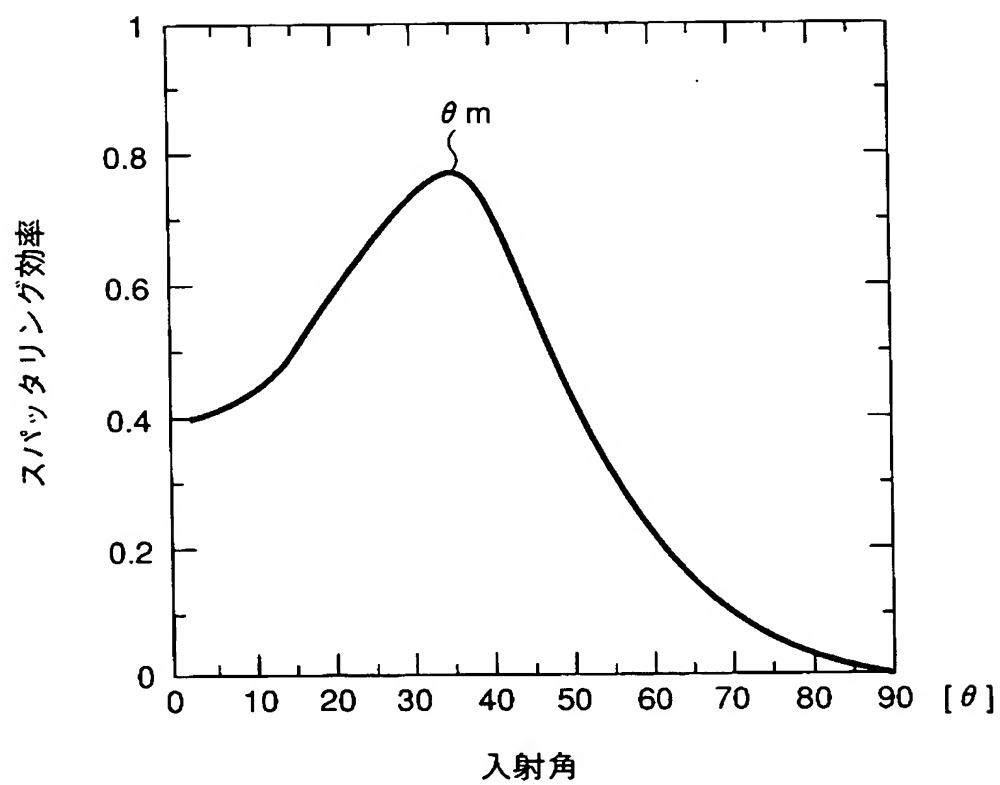
【図 8】



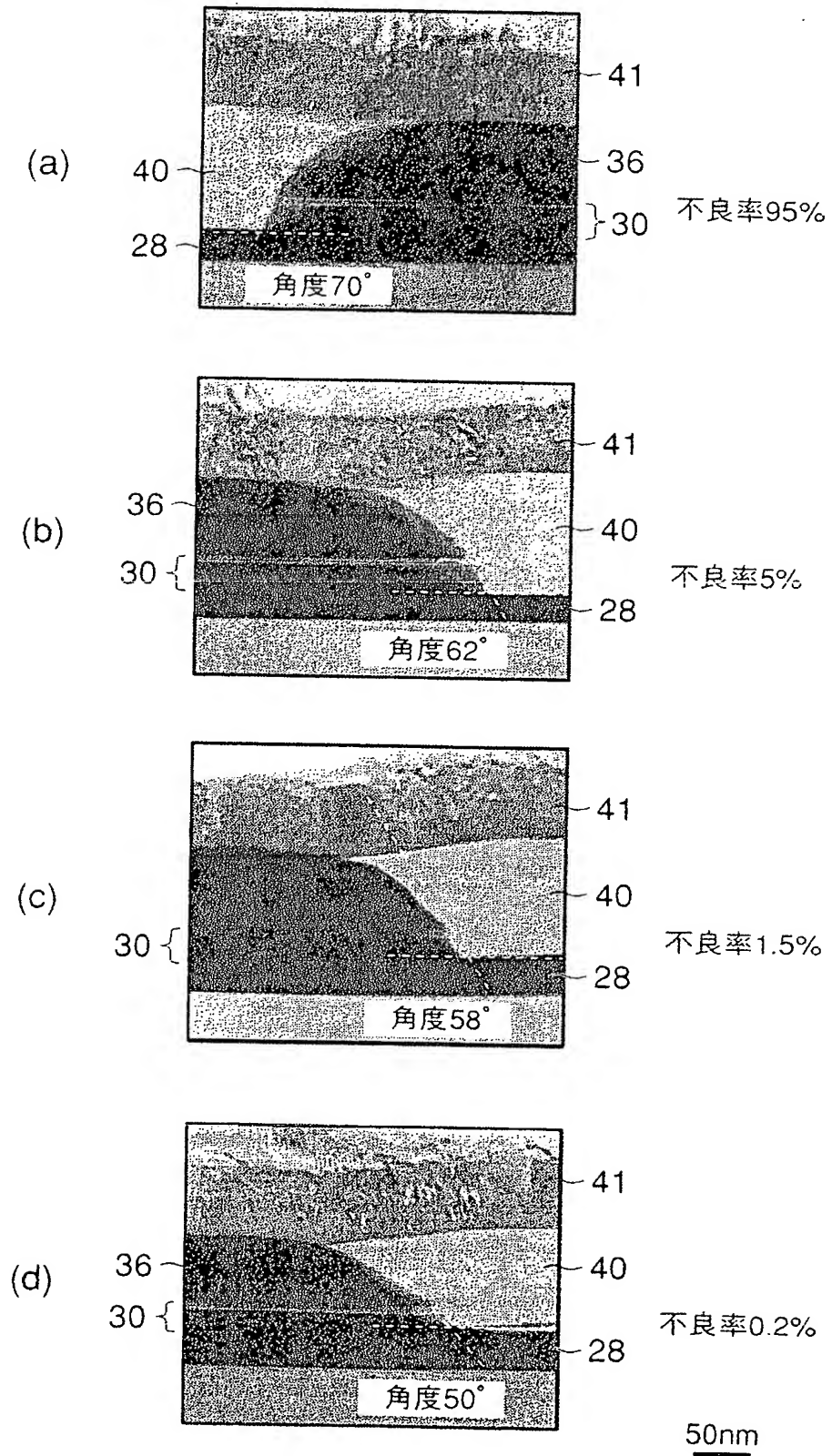
【図 9】



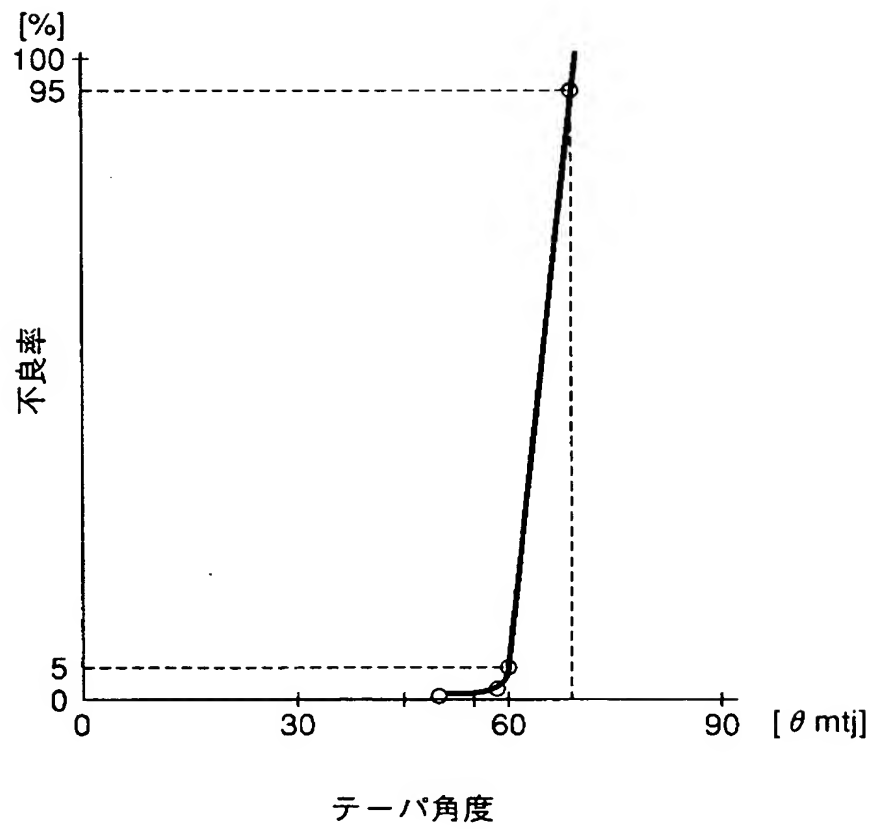
【図 10】



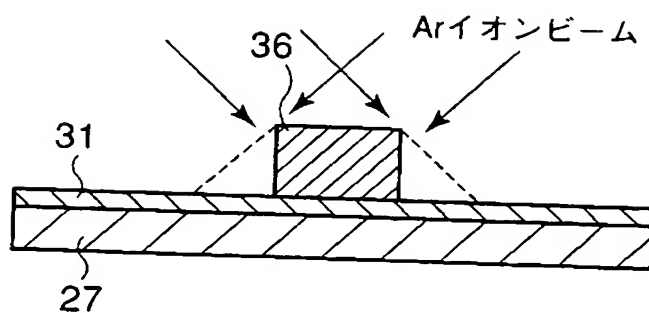
【図 11】



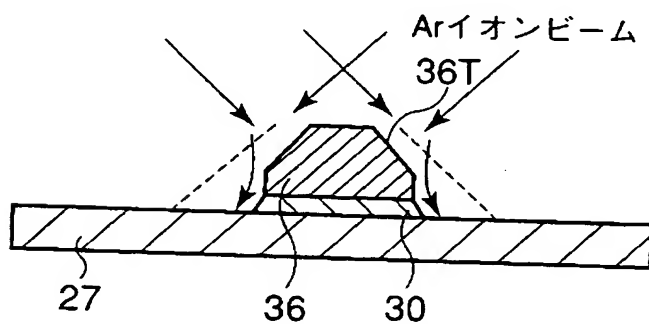
【図 12】



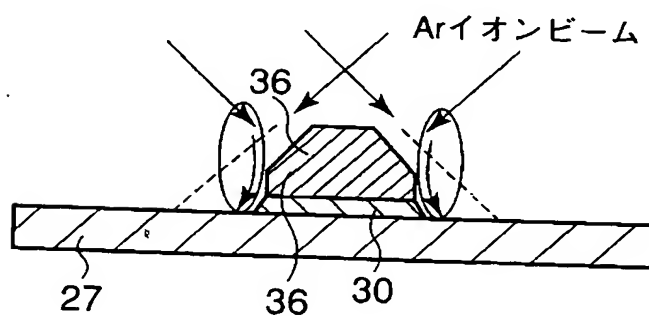
【図 13】



(a)

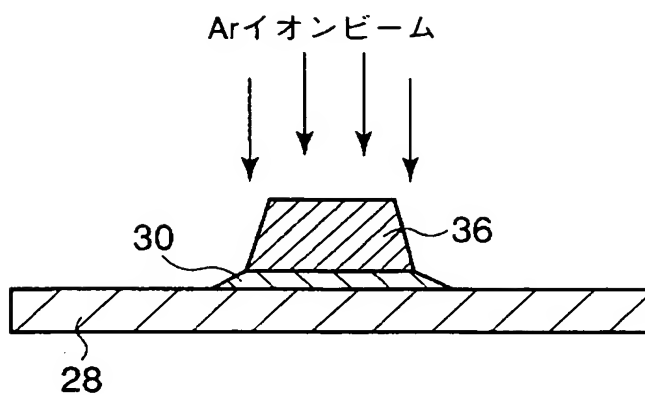


(b)

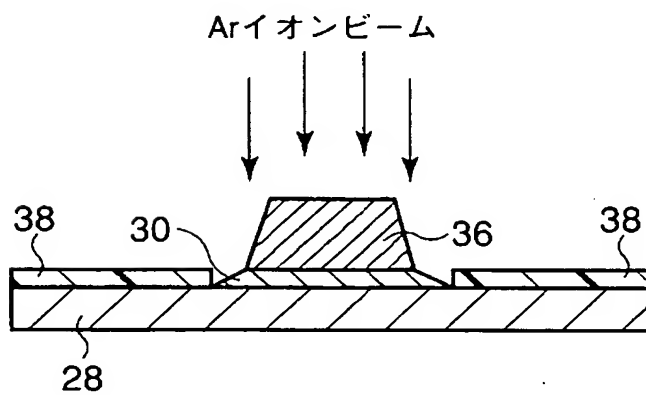


(c)

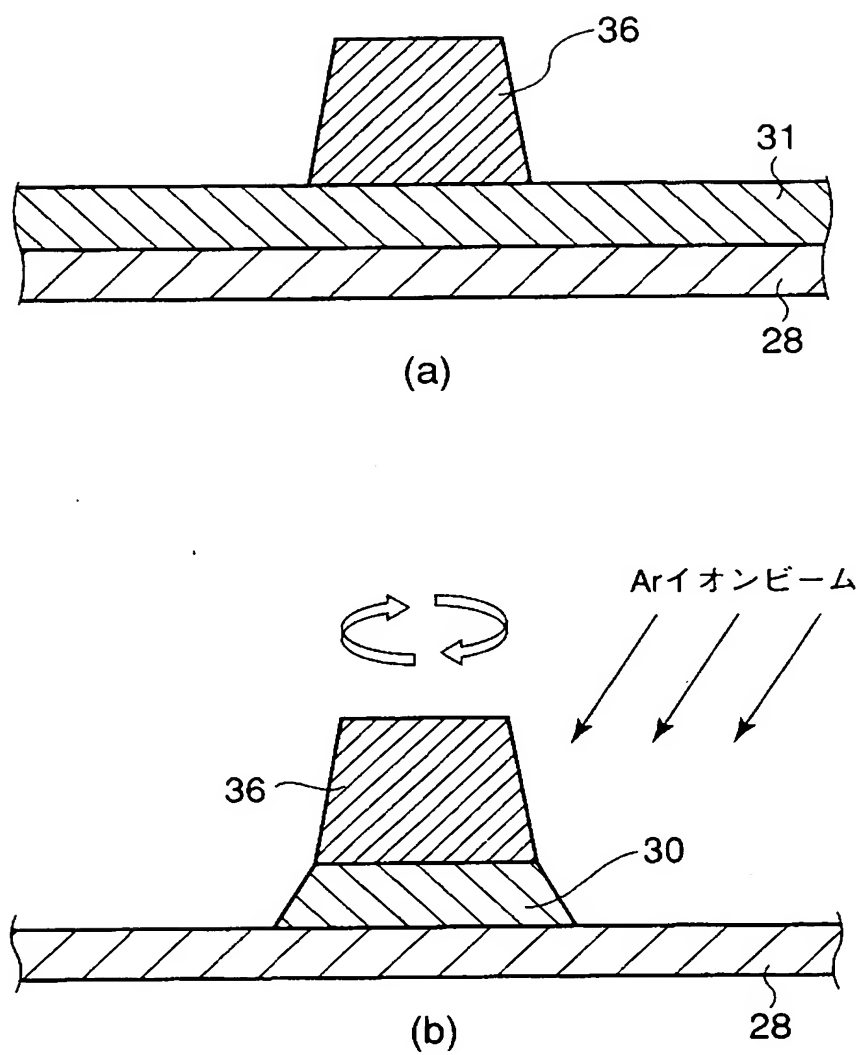
【図 14】



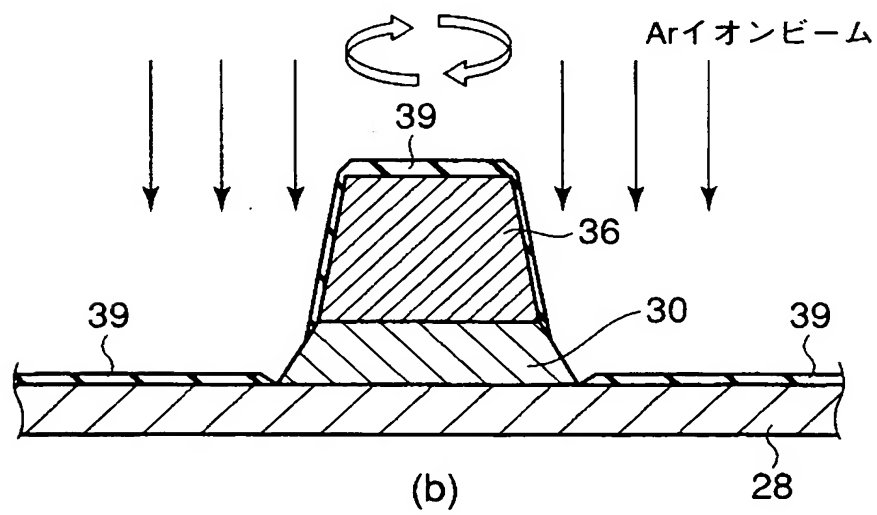
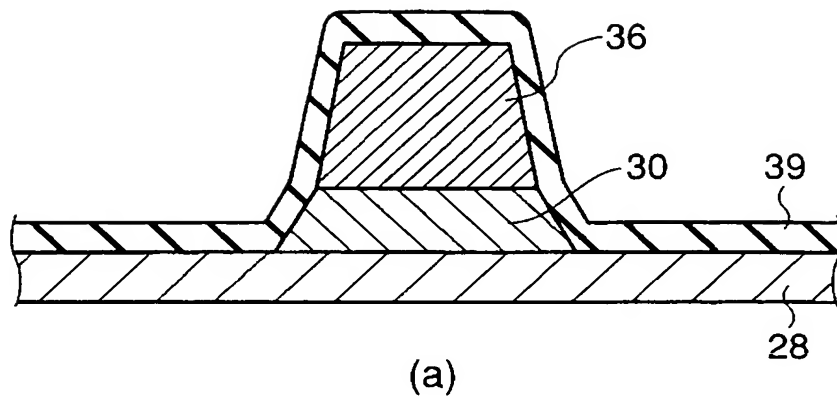
【図 15】



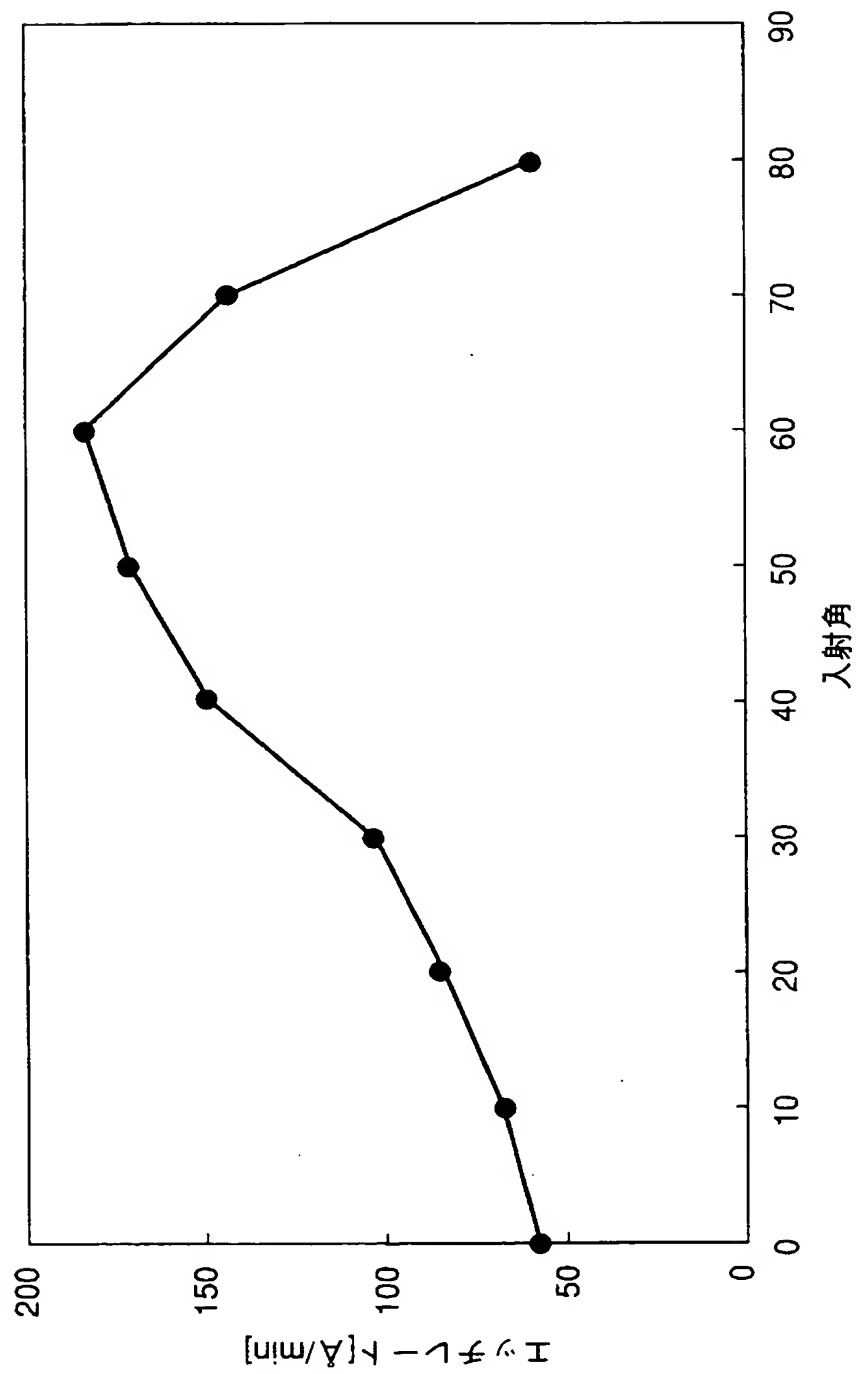
【図 16】



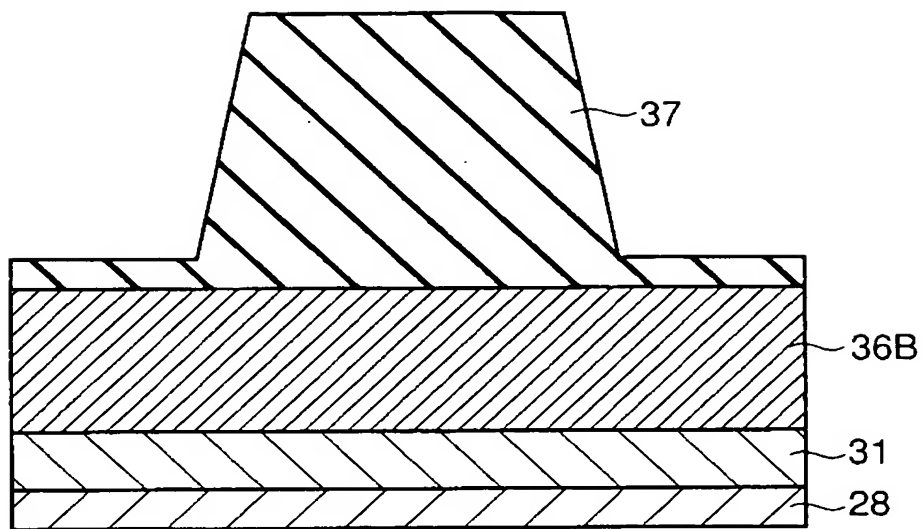
【図 17】



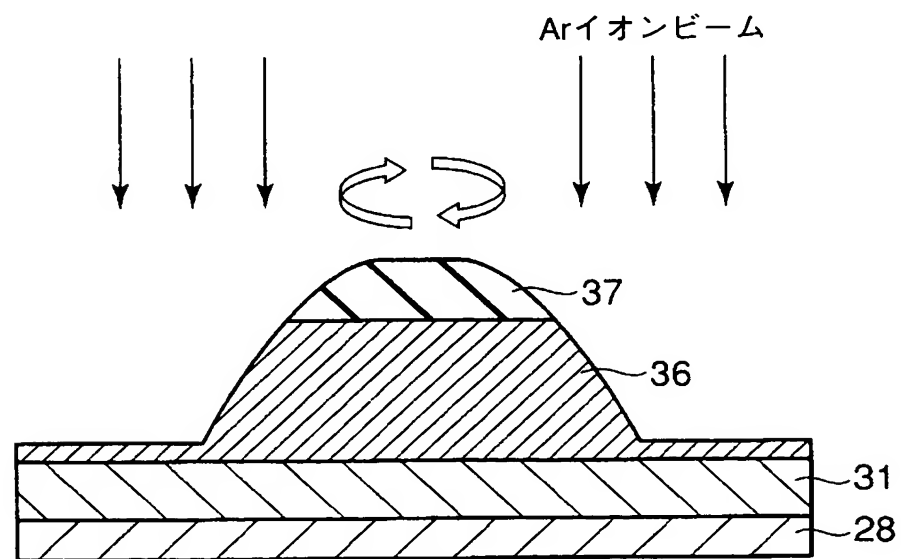
【図 18】



【図 19】

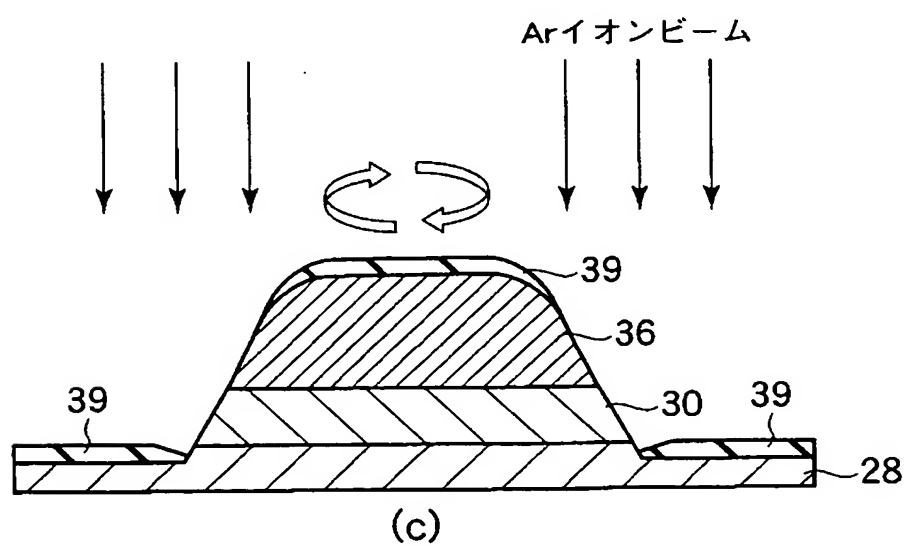
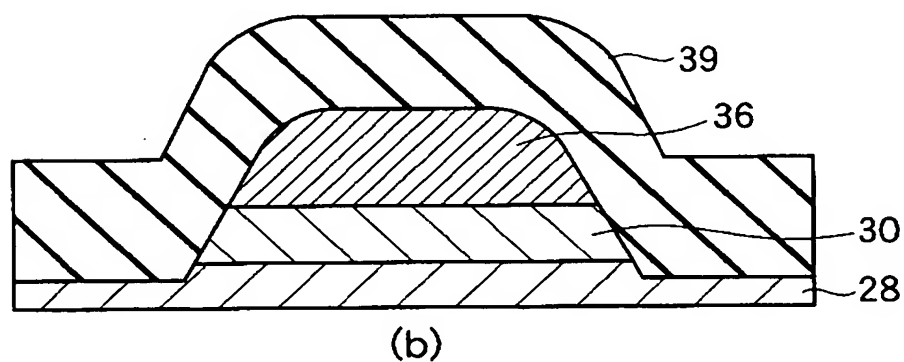
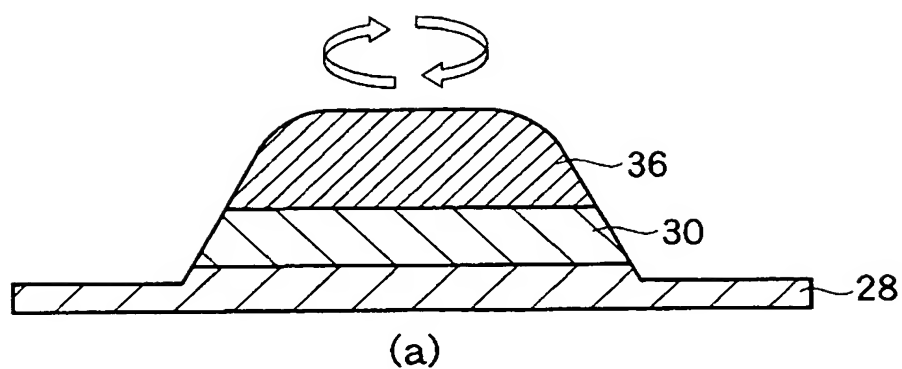


(a)



(b)

【図 20】



【書類名】 要約書

【要約】

【課題】 イオンエッチングによって形成されるMTJ素子30が、高い信頼性を持ち、初期不良の少ない磁気メモリ装置および磁気メモリ装置の製造方法を提供する。

【解決手段】 下部電極28上にハードマスク36を用いイオンエッチング加工してMTJ素子30を形成した後、前記ハードマスク36と、磁気抵抗効果素子30と、下部電極28との上面に絶縁膜39を形成し、イオンビームエッチングにより前記磁気抵抗効果素子30の側面のみを選択的に露出させ、素子30側面上の導電性の汚染物質膜をクリーニングする。

【選択図】 図17(b)

特願 2 0 0 3 - 2 0 0 4 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝